



High Speed I0 用户手册

上海安路信息科技股份有限公司

IPUG013 (v1.0) 2022 年 12 月



目 录

目 录	I
1 IP 概述	2
1.1 主要特性	2
1.2 IP 原理与架构	2
1.2.1 架构	2
1.2.2 性能	3
2 IP 说明	4
2.1 端口列表	4
2.2 I/O 资源说明	5
2.2.1 I/O Bank 规则	5
2.2.2 High Speed I/O Primitives 介绍	5
3 设计步骤	13
3.1 界面与参数介绍	13
3.2 定制流程	17
4 相关资料	19
5 版本信息	20
免责声明	20

1 IP 概述

High Speed IO IP 适用于 PH1A（PH1A60、PH1A90、PH1A180、PH1A400）系列器件和 PH1A100 系列器件，它主要由时钟缓冲、IOL 以及延迟单元等原语构成，可供用户自由配置，生成合适的架构适配不同的应用场景。

1.1 主要特性

- 支持 Input、Output、Bidirectional 总线控制，最高位宽 16 位
- 支持源同步时钟输出，分频时钟输出
- 可选择的输入、输出延迟单元，支持动态、静态延迟配置
- 支持多种串并转换形式
- 支持多种预定义的接口模板

1.2 IP 原理与架构

1.2.1 架构

图 1-1 所示为 High Speed IP 整体架构。

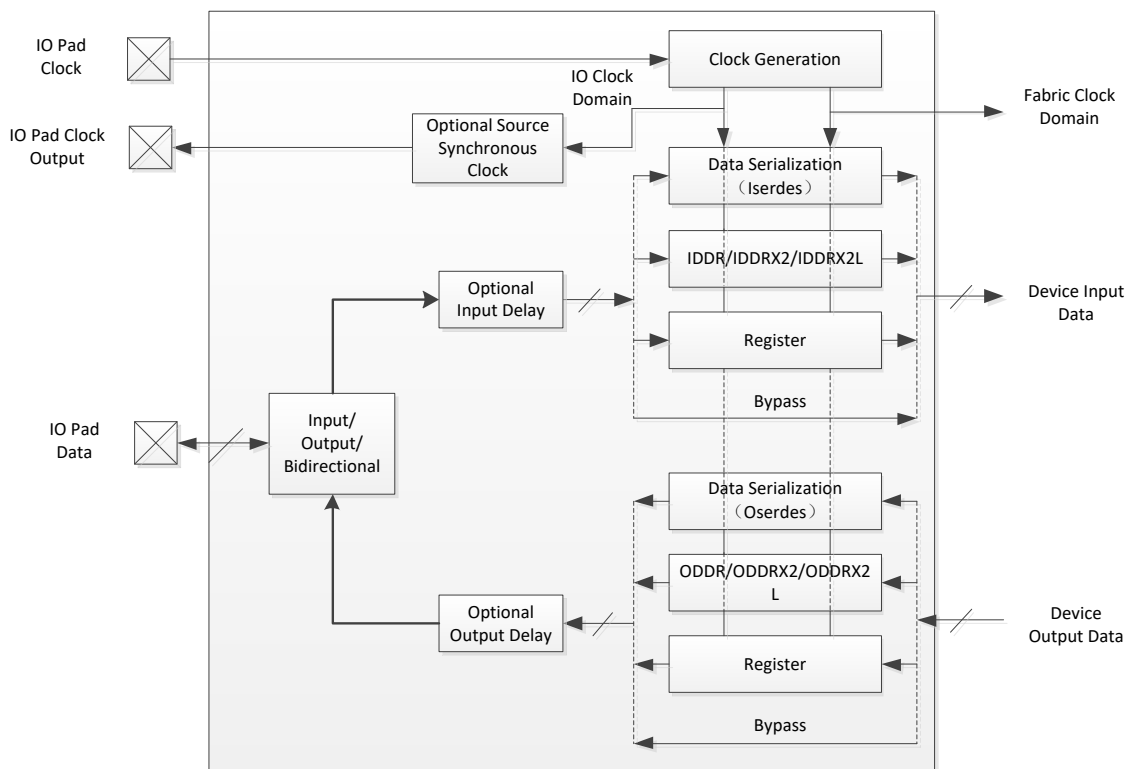


图 1-1 IP 整体架构



架构中主要模块功能如下：

I/O Pad 有三种用途：输入时钟，输出源同步时钟，收发数据；

Clock Generation 模块一般为 PLL 或 LCLK 等时钟缓冲，为 I/O Clock Domain 提供高速时钟以及为 Fabric Clock Domain 提供低速时钟；

Optional Source Synchronous Clock 由 IOL 组成，用于生成源同步时钟；

Optional Input Delay 和 Optional Output Delay 是由动态输入/输出延迟单元或静态输入/输出延迟单元构成，用于调节输入/输出的数据延迟；

iSERDES、iDDR、oSERDES、oDDR 等为用于数据串并转换的 IOL。

1.2.2 性能

有关 PH1A100 系列器件的时钟性能、I/O 电平标准、输入输出接口性能，可参考《DS700_PH1A100_Datasheet》。

有关 PH1A 系列（PH1A60、PH1A90、PH1A180、PH1A400）器件的时钟性能、电平标准、输入输出接口性能，可以参考《DS900_PH1A_Datasheet》。

此外，上述 I/O 标准能否工作在最高频率需要以实际软件中的 Timing Report 为准。



2 IP 说明

2.1 端口列表

表 2-1 所示为 High Speed IO 的端口列表介绍。

表 2-1 端口列表

名称	位宽	方向	描述
Clock Ports			
clk	1	Input	输入时钟，一般为高速时钟输入
clk_div_in	1	Input	分频时钟输入，一般为低速时钟输入
clk_div_out	1	Output	分频时钟输出，一般输出到 fabric
clk_sursyn_out	1	Output	源同步时钟输出
Reset Ports			
rst	1	Input	复位，高电平有效
Data Ports			
din_from_pins	1-16	Input	从 I/O 引脚上输入的数据
dout_to_fabric	1-160	Output	输出到 fabric 的数据
dout_to_pins	1-16	Output	输出到 I/O 引脚上的数据
din_from_fabric	1-160	Output	从 fabric 输入的数据
dinout_pins	1-16	Inout	双向控制端口
dout_to_fabric_for_inout	1-160	Output	输出到 fabric 的数据，双向控制专用
din_from_fabric_for_inout	1-160	Input	从 fabric 输入的数据，双向控制专用
Control Ports			
tri_control	1	Input	双向控制端口的三态控制
hr_in_dly_value	5	Input	该端口用于动态控制 HRIO Bank 上的输入延迟
hp_in_dly_value	8	Input	该端口用于动态控制 HP10 Bank 上的输入延迟
hp_out_dly_value	8	Input	该端口用于动态控制 HP10 Bank 上的输出延迟

2.2 I/O 资源说明

2.2.1 I/O Bank 规则

有关 PH1A100 系列器件的 I/O Bank 规则，可以参考《UG711_安路科技 PH1A100 系列 FPGA IO 用户手册》。

有关 PH1A 系列器件的 I/O Bank 规则，可以参考《UG911_安路科技 PH1A 系列 FPGA IO 用户手册》。

2.2.2 High Speed IO Primitives 介绍

High Speed IO 所用 Primitives 有以下几种：

- 时钟相关：PH1_PHY_LCLK、PH1_PHY_LCLK_V2、PH1_PHY_HP_MLCLK、PH1_PHY_HP_IOCLK；
- 延迟相关：PH1_LOGIC_DYNAMIC_IDELAY、PH1_LOGIC_DYNAMIC_HP_IDELAY、PH1_LOGIC_DYNAMIC_HP_ODELAY；
- IOB 相关：PH1_LOGIC_IOTRIBUF；
- IOL 相关：PH1_LOGIC_IDDR、PH1_LOGIC_ODDR、PH1_LOGIC_IDDRx2、PH1_LOGIC_ODDRx2、PH1_LOGIC_IDDRx2I、PH1_LOGIC_ODDRx2I、PH1_LOGIC_HP_ISERDES、PH1_LOGIC_HP_OSERDES

2.2.2.1 时钟相关原语

如图 2-1 所示，PH1_PHY_LCLK 或 PH1_PHY_LCLK_V2 是 I/O 上的一种外部时钟分频器，每个 IO 分组有两个该分频器。

PH1_PHY_LCLK 是 PH1A100 系列器件专用，PH1_PHY_LCLK_V2 是 PH1A 系列器件专用的，二者从接口和参数上看几乎一致，只是 PH1_PHY_LCLK_V2 多了一个 GSR 参数。

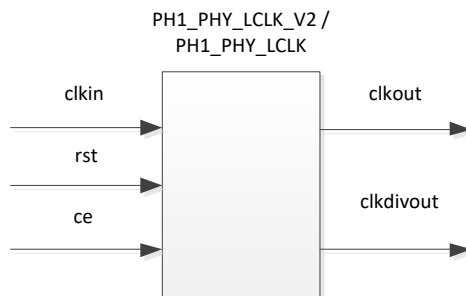


图 2-1 PH1_PHY_LCLK_V2/PH1_PHY_LCLK 示意图

原语中对应的 clkdivout 端口输出可以供全局时钟网使用。其他端口描述与参数等信息，可以对应参考原语手册。其中 IP 只用了该原语“LCLK”属性中的“BYPASS”和“DIV2TO8”，“DIV”属性会根据

用户配置自动切换，其余参数均保持默认值。

如图 2-2 所示,PH1_PHY_HP_MLCLK 为 PH1A 系列 FPGA HP IO 的多区域时钟模块。PH1_PHY_HP_MLCLK 的输入为本地的全局时钟输入管脚、本地 PLL 的输出； PH1_PHY_HP_MLCLK 能够将时钟信号输送到上下相邻的两个时钟区域，也能将信号时钟信号输出到 IOCLK、LCLK 模块。

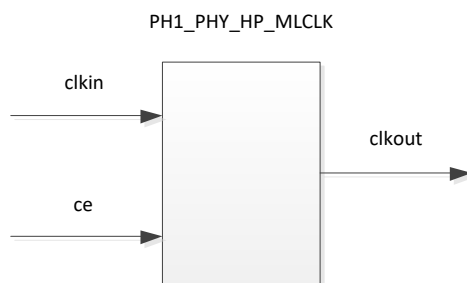


图 2-2 PH1_PHY_HP_MLCLK

有关端口描述与参数等信息，可以参考《UG910_PH1A Series FPGA Libraries Guide for HDL Designs》。

如图 2-3 所示，PH1_PHY_HP_IOCLK 模块是 PH1A 系列 FPGA 中 HP IO 区域的一种时钟缓冲器，PH1_PHY_HP_IOCLK 驱动 I/O 列内一个独立于全局时钟资源的时钟网络，支持高速输入/输出接口串并转换，如 LVDS 的接收。IOCLK 的输入为本区域的 MLCLK、相邻区域的 MLCLK、本区域的 PLLs 的输出、本区域的全局时钟输入管脚；IOCLK 可以驱动本区域的所有 IO 块。

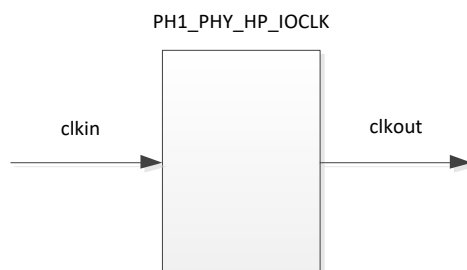


图 2-3 PH1_PHY_HP_IOCLK

有关端口描述与参数等信息，可以参考《UG910_PH1A Series FPGA Libraries Guide for HDL Designs》。

在 High Speed IO IP 中，如果想使用 IOCLK，IP 给出的方案为 MLCLK 与 IOCLK 级联的方式，如 2-4 所示：

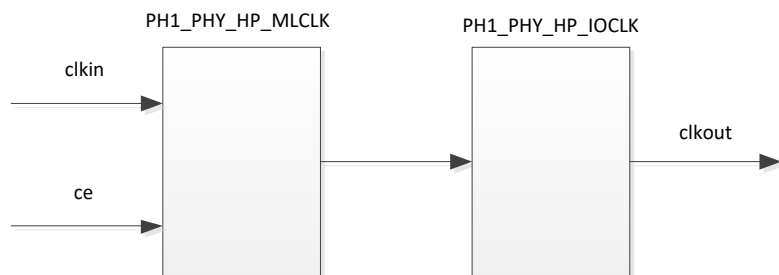


图 2-4 MLCLK 与 IOCLK 级联

2.2.2.3 延迟单元

如表 2-2 所示，为器件与延迟单元之间的一些关系。

器件	静态输入延迟	静态输出延迟	动态输入延迟	动态输出延迟
PH1A100	支持	支持	支持，但仅限一部分引脚	不支持
PH1A	支持	支持	支持	仅 HP10 支持

动态延迟调节用到的原语有三种：PH1_LOGIC_DYNAMIC_IDELAY、PH1_LOGIC_DYNAMIC_HP_IDELAY、PH1_LOGIC_DYNAMIC_HP_ODELAY。

如图 2-5 为 PH1_LOGIC_DYNAMIC_IDELAY，有关端口描述与参数等信息，可以参考安路用户手册 UG910 的第 36 节“PH1_LOGIC_DYNAMIC_IDELAY”。有关延迟信息，可参考《UG711_安路科技 PH1A100 系列 FPGA IO 用户手册》。

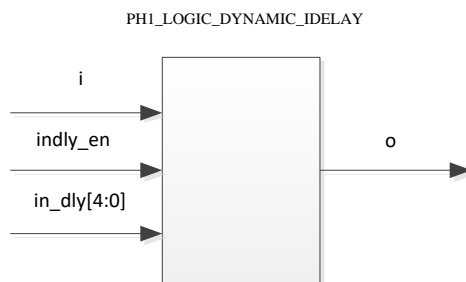


图 2-5 PH1_LOGIC_DYNAMIC_IDELAY

如图 2-6，2-7 为 PH1_LOGIC_DYNAMIC_HP_IDELAY 和 PH1_LOGIC_DYNAMIC_HP_ODELAY，有关端口描述与参数等信息，可以参考《UG910_PH1A Series FPGA Libraries Guide for HDL Designs》。有关延迟信息，可参考《UG911_安路科技 PH1A 系列 FPGA IO 用户手册》。

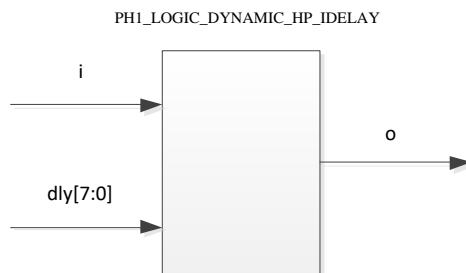


图 2-6 PH1_LOGIC_DYNAMIC_HP_IDELAY

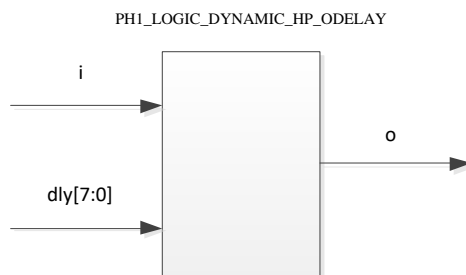


图 2-7 PH1_LOGIC_DYNAMIC_HP_ODELAY

2.2.2.4 IOB

如图 2-8 所示，PH1_LOGIC_IOTRIBUF 是 FPGA 内部的三态 IO 控制模块。有关端口描述与参数等信息，可以参考《UG910_PH1A Series FPGA Libraries Guide for HDL Designs》。

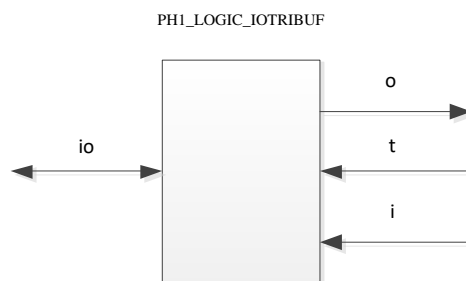


图 2-8 PH1_LOGIC_IOTRIBUF

如果要基于 inout 端口进行串并转换设计，PH1_LOGIC_IOTRIBUF 的 i 和 o 可接入 IOL，但 t 不可，要对 t 端口信号进行额外的处理。

2.2.2.5 IOL

IOL 逻辑支持多种工作模式。本章节主要介绍 IOL 资源支持的工作模式。HR I/O 支持的 IOL 为 IDDR 与 ODDR，HP I/O 支持的 IOL 既有 iDDR 与 oDDR，又有 iSERDES 与 oSERDES；PH1A 系列器件有 HP 和 HR 两种 I/O 类型，而 PH1A100 系列器件只有 HR IO，具体情况如表 2-2 所示。

表 2-2 IO 支持工作模式

模式		HR I/O	HP I/O
输入	BYPASS	√	√
	SDR	√	√
	iDDR _{x1}	√	√
	iDDR _{x2}	√	√
	iDDR _{x3.5}	—	√
	iDDR _{x4}	—	√
	iDDR _{x5}	—	√
输出	BYPASS	√	√
	SDR	√	√
	oDDR _{x1}	√	√
	oDDR _{x2}	√	√
	oDDR _{x3.5}	—	√
	oDDR _{x4}	—	√
	oDDR _{x5}	—	√

如图 2-9 所示，为 PH1_LOGIC_IDDR，是 FPGA IO 上将双沿采样时钟数据变换为单沿数据的单元。具有数据对齐的双速率 D 触发器，并具有同步/异步复位功能。可以将输入的 DDR 数据转为 2 位数据同步到内部时钟网络。

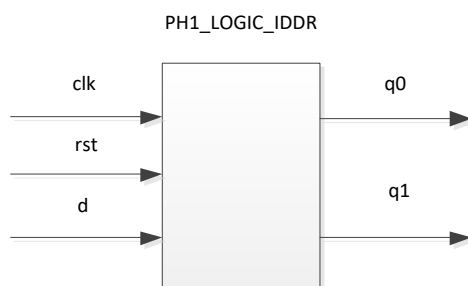


图 2-9 PH1_LOGIC_IDDR

有关端口描述与参数等信息，可以参考《UG910_PH1A Series FPGA Libraries Guide for HDL Designs》。

如图 2-10 所示，为 PH1_LOGIC_ODDR，是 FPGA IO 上将内部单沿数据变换为双沿数据后输出的单元，并具有同步/异步复位功能。可以将数据双倍率输出到 IO 口上。

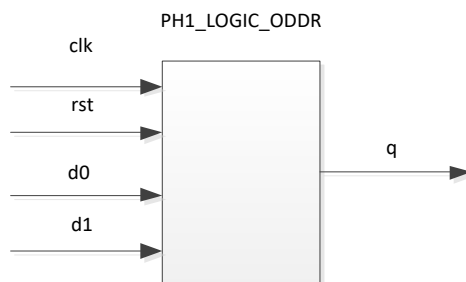


图 2-10 PH1_LOGIC_ODDR

有关端口描述与参数等信息，可以参考《UG910_PH1A Series FPGA Libraries Guide for HDL Designs》。

如图 2-11 所示，为 PH1_LOGIC_IDDRx2，是 FPGA IO 上的 1：4 串转并单元。IDDR x2 支持更高的 IO 速度。

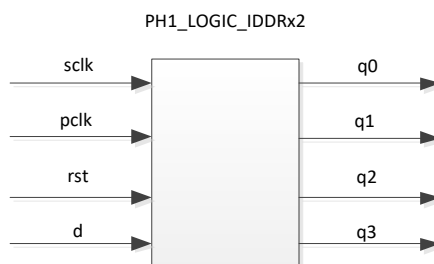


图 2-11 PH1_LOGIC_IDDRx2

有关端口描述与参数等信息，可以参考《UG910_PH1A Series FPGA Libraries Guide for HDL Designs》。

如图 2-12 所示，为 PH1_LOGIC_ODDRx2，是 FPGA IO 内部的 4：1 并转串单元。功能与 ODDR 相近，但 ODDR x2 支持更高的 IO 速度。

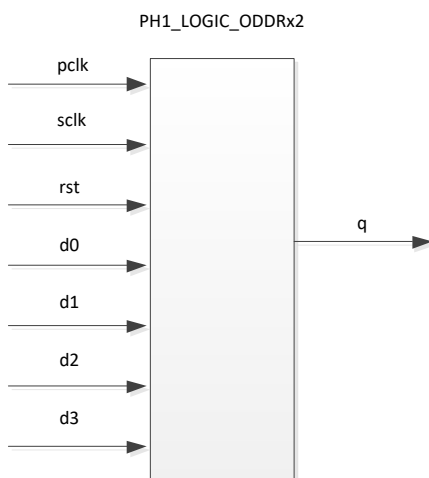


图 2-12 PH1_LOGIC_ODDRx2

有关端口描述与参数等信息，可以参考《UG910_PH1A Series FPGA Libraries Guide for HDL Designs》。

如图 2-13，为 PH1_LOGIC_IDDRx2I，是 FPGA IO 上的 1: 4 串转并单元。与 IDDRx2 相比，IDDRx2I 模式直接使用内部 sclk 的 2 分频作为 pclk，节省 1 个 clk 端口。

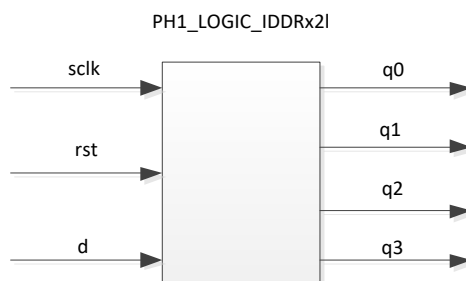


图 2-13 PH1_LOGIC_IDDRx2I

有关端口描述与参数等信息，可以参考《UG910_PH1A Series FPGA Libraries Guide for HDL Designs》。

如图 2-14，为 PH1_LOGIC_ODDRx2I，是 FPGA IO 内部的 4: 1 并转串单元。与 ODDRx2 相比，ODDRx2L 模式直接使用内部 sclk 的 2 分频作为 pclk，节省 1 个 clk 端口。

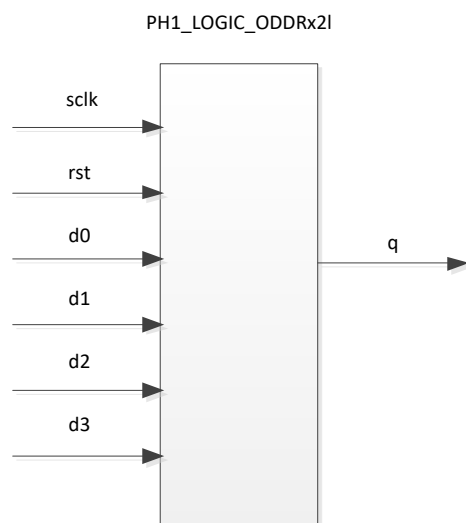


图 2-14 PH1_LOGIC_ODDRx2I

有关端口描述与参数等信息，可以参考《UG910_PH1A Series FPGA Libraries Guide for HDL Designs》。

上述的 IOL，仅限于 HR IO，HP IO 上的 IOL 为 iSERDES 和 oSERDES。

如图 2-15 所示，为 PH1_LOGIC_HP_ISERDES，是 HP IO 上的串并转换单元，可将 IO 上的高速串行数据，转换为内部低速的并行数据，支持多种串并转换模式。

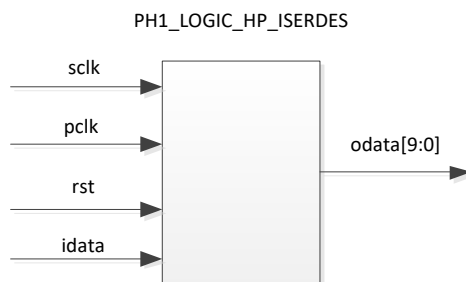


图 2-15 PH1_LOGIC_HP_ISERDES

有关端口描述与参数等信息，可以参考《UG910_PH1A Series FPGA Libraries Guide for HDL Designs》。

如图 2-16 所示，PH1_LOGIC_HP_OSERDES 是 FPGA IO 上的并串转换单元，可将内部并行数据转换为 IO 上的高速串行数据，支持多种并串转换模式。

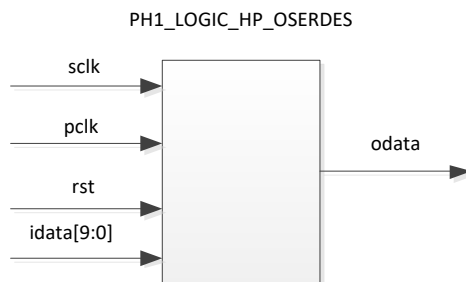


图 2-16 PH1_LOGIC_HP_OSRDES

有关端口描述与参数等信息，可以参考《UG910_PH1A Series FPGA Libraries Guide for HDL Designs》。

3 设计步骤

3.1 界面与参数介绍

High Speed IO IP 在不同的器件中界面有所不同，图 3-1 所示为 PH1A100 系列器件的界面，图 3-2 所示为 PH1A（PH1A60、PH1A90、PH1A180、PH1A400）系列器件时的界面，二者 I/O Type 选项组有所不同。

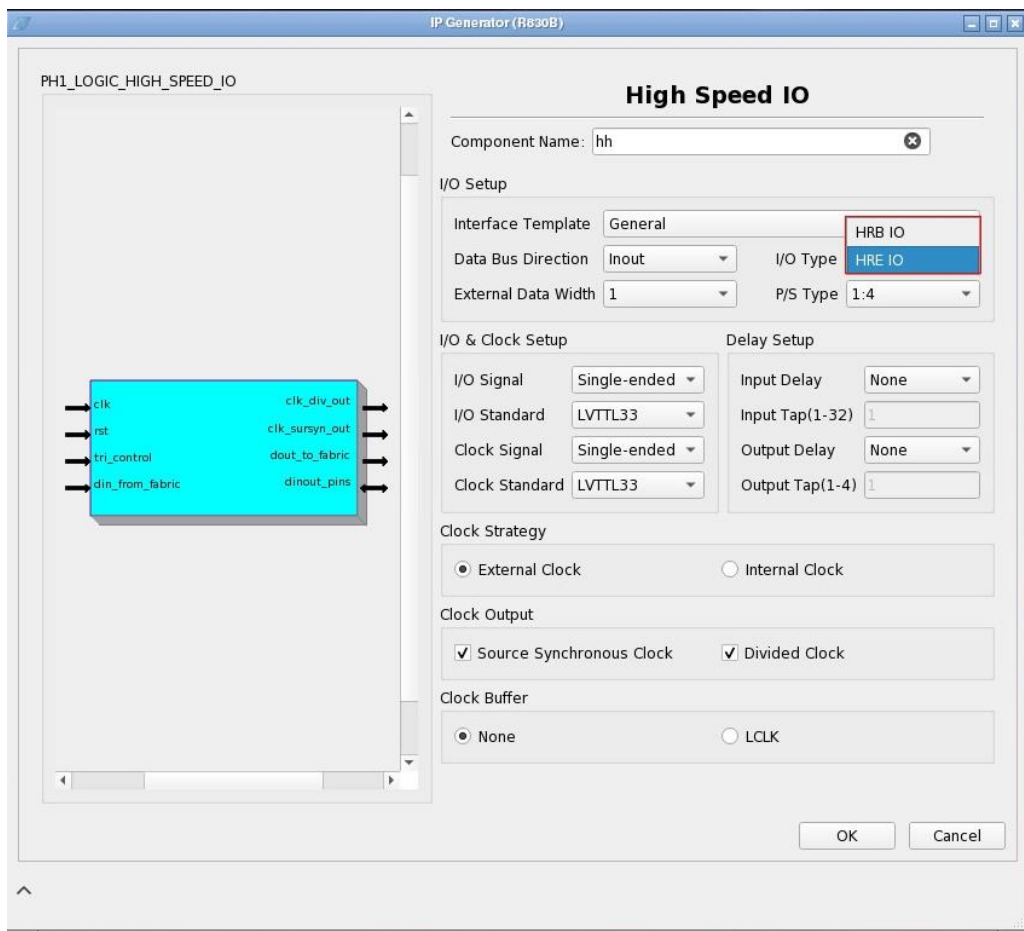


图 3-1 器件选择为 PH1A100 系列时的界面

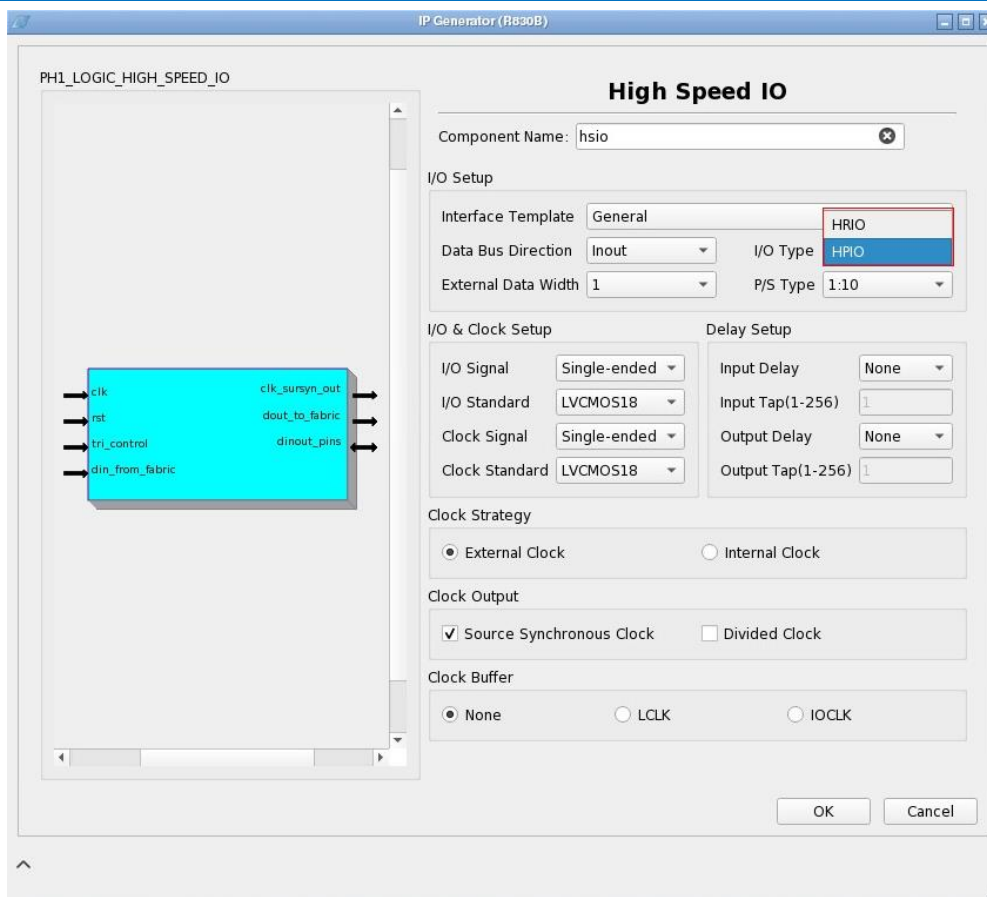


图 3-2 器件选择为 PH1A 系列时的界面

参数介绍如表 3-1 所示。

表 3-1 参数介绍

参数名	选项	默认值	描述
Interface Template	General	General	接口模板；用户可以通过选择 General 选项来进行自由配置，也可以通过选择其他选项来生成一些固定的模板。
	SGMII Transmitter		
	SGMII Receiver		
	DVI Transmitter		
	DVI Receiver		
	Camera Link Transmitter		
	Camera Link Receiver		
Data Direction	Input	Input	数据总线方向选择
	Output		
	Inout		
I/O Type	HRB IO (High Range Basic)	HRB IO (High Range)	I/O 类型选择，器件为 PH1A100 系列时的选项
	HRE IO (High Range Enhance)		



参数名	选项	默认值	描述
		Basic)	
	HRIO (High Range)	HRIO (High Range)	I/O 类型选择, 器件为 PH1A 系列时的选项
	HPIO (High Performance)		
P/S Type	Bypass	Bypass	输入数据直接输出
	SDR		输入数据经过寄存后输出
	1: 2		对输入数据进行 1: 2 串并转换处理。
	1: 2 (PIPED)		对输入数据进行 1: 2 串并转换处理, 并带有同沿处理。
	1: 4		对输入数据进行 1: 4 串并转换处理。
	1: 4 (DDR2L)		对输入数据进行 1: 4 串并转换处理, 串并转换单元自身产生慢速时钟。仅限 HRIO、HRBIO、HREIO 使用
	1: 7		串并转换 1: 7、1: 8、1: 10 处理, 仅限 HPIO 使用
	1: 8		
	1: 10		
External Data Width	1-16	1	数据总线位宽。选定数据总线位宽, 且配置完成 Parallel-Serial Conversion Type 后, 会自动计算出 Fabric 侧的位宽
Input Delay	Static/Dynamic/None	None	输入数据延迟类型的选择。选择“None”选项表明输入数据不做延迟处理; 选择“Static”时采用静态延迟, 会在 adc 文件中生成对应内容; 选择“Dynamic”时会使用动态延迟, 如果 I/O Type 为 HPIO, 那么使用的延迟控制单元为 PH1_LOGIC_DYNAMIC_HP_IDELAY, 可通过 hp_in_dly_value 端口来改变延迟值; 如果 I/O Type 为 HRBIO、HREIO、HRIO, 那么使用的延迟控制单元为 PH1_LOGIC_DYNAMIC_IDELAY, 可通过 hr_in_dly_value 端口来改变延迟值
Input Tap	I/O Type 为 HPIO 时范围是	1	该选项用于配置静态延迟值, 只在



参数名	选项	默认值	描述
	1-256; HRBIO、HREIO、HRIIO 时范围是 1-32		Input Data Delay Type 为 Static 时可用该选项。
Output Delay	Static/Dynamic/None	None	输出数据延迟类型的选择。选择“None”选项表明输出数据不做延迟处理；选择“Static”时采用静态延迟，会在 adc 文件中生成对应内容；选择“Dynamic”时会使用动态延迟，使用 PH1_LOGIC_DYNAMIC_HP_ODELAY 原语来对输出数据进行动态延迟调整，可通过 hp_out_dly_value 端口来改变延迟值，动态延迟仅限 I/O Type 为 HPIIO 时可用。
Output Tap	I/O Type 为 HPIIO 时范围是 1-256; HRBIO、HREIO、HRIIO 时范围是 1-4	1	该选项用于配置静态延迟值，只在 Output Data Delay Type 为 Static 时可用该选项。
I/O Signal	Single-ended/Differential	Single-ended	选择信号类型，是单端还是差分；HRBIO 不支持差分输入，输出上只支持伪差分电平。
I/O Standard	见 1.2.2 节	I/O Type 为 HRBIO、HREIO、HRIIO 时为 LVCMOS33； I/O Type 为 HPIIO 时为 LVCMOS18	数据引脚电平标准选择，配置完成后会在 adc 文件中生成相应内容。
Clock Signal	Single-ended/Differential	Single-ended	选择信号类型，是单端还是差分；HRBIO 不支持差分输入。
Clock Standard	见 1.2.2 节	I/O Type 为 HRBIO、HREIO、HRIIO 时为 LVCMOS33； I/O Type 为 HPIIO 时为 LVCMOS18	时钟引脚电平标准选择，配置完成后会在 adc 文件中生成相应内容。



参数名	选项	默认值	描述
Clock Strategy	External Clock	External Clock	选择 External Clock 选项，IP 会自动生成慢速时钟；选择 Internal Clock 选项，此时 IP 不会在内部生成慢速时钟，建议使用 PLL 或其余时钟缓冲来产生高速时钟与慢速时钟。
	Internal Clock		
Clock Output	Source Synchronous Clock	/	开启此选项后，会输出源同步时钟
	Divided Clock		开启此选项后，会输出分频时钟
Clock Buffer	None	/	无时钟缓冲
	IOCLK		开启此选项后，输入时钟会经过 IOCLK 时钟缓冲
	LCLK		开启此选项后，输入时钟会经过 LCLK 时钟缓冲

3.2 定制流程

由界面配置参数的定制流程如下：

- 通过 IP Generator 进行器件的选择；
- Interface Template 选项，High Speed IO 提供一些预先配置好的模板，从下拉菜单中选中 SGMII Transmitter、SGMII Receiver、DVI Transmitter、DVI Receiver、Camera Link Transmitter、Camera Link Receiver 六项中其中一项时，界面会自动配置一些必要的参数，例如 Data Bus Direction、Parallel-Serial Conversion Type、External Data Width 等；当选中 General 时，便可以自由配置各项；此外，只有带有 HPIO 的器件，可以选择除 General 以外的选项；
- Data Bus Direction 选项，三种选项 Input、Output、Inout，选择一个后 IP 会产生对应的端口；
- I/O Type 选项，在 PH1A100 系列器件时有 HRBIO 和 HREIO 两个选项可选，在 PH1A 系列器件中有 HRIO 和 HPIO 两个选项可选，其中 PH1A60 系列器件只有 HRIO 选项可选，PH1A90、180、400 系列器件 HRIO 和 HPIO 选项都可选；该选项也影响着其余一些选项的可选内容或范围；
- P/S Type 选项，串并转换类型的选择，具体选项可见表 3-1；当 I/O Type 为 HRIO、HRBIO、HREIO 时，那么串并转换所使用的单元为 IDDR/ODDR、IDDRx2/ODDRx2、IDDRx2I/ODDRx2I，如果 I/O Type 的选项为 HPIO，那么串并转换所使用的单元为 iSERDES/oSERDES；
- External Data Width 选项，用户可以自定义 Input、Output、Inout 方向所用 pins 的数量；
- Input Delay、Input Tap 选项，用户可选择对输入数据的延迟处理，具体可见表 3-1；



- Output Delay、Output Tap 选项，用户可选择对输出数据的延迟处理，具体可见表 3-1；
- I/O Signal、I/O Standard 选项，用于配置数据引脚上的电平标准，可选范围根据 I/O Type、Data Bus Direction 器件的选择而有变化，具体可见 1.2.2 节；
- Clock Signal、Clock Standard 选项，用于配置时钟引脚上的电平标准，可选范围根据 I/O Type、Data Bus Direction 器件的选择而有变化，具体可见 1.2.2 节；
- Clock Strategy 选项，选择输入时钟的来源，具体可见表 3-1 相应部分；
- Clock Output 选项，选择 Source Synchronous Clock 会生成源同步时钟，该选项在 Data Bus Direction 为 Output 或 Inout 时可用；选择 Divided Clock 会输出慢速时钟，供 fabric 侧使用；
- Clock Buffer 选项，提供两种时钟缓冲的方案；如果用户想使用其他的时钟缓冲方案，可在 Clock Strategy 选项中选择 Internal Clock 选项，由用户提供高速时钟和低速时钟。



4 相关资料

有关 High Speed IO IP 涉及到的 IO、器件等资料，可参考如下文档：

- 《DS700_PH1A100_Datasheet》
- 《DS900_PH1A_Datasheet》
- 《UG710_PH1A100 Series FPGA Libraries Guide for HDL Designs》
- 《UG910_PH1A Series FPGA Libraries Guide for HDL Designs》
- 《UG711_安路科技 PH1A100 系列 FPGA IO 用户手册》
- 《UG911_安路科技 PH1A 系列 FPGA IO 用户手册》



5 版本信息

日期	版本	修订记录
2022/12/19	1.0	首次发布中文版

版权所有©2022 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其他方式授予任何知识产权许可；本文档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本文档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本文档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取。