



PCI32 IP 用户手册

上海安路信息科技股份有限公司

IPUG134 (v1.0) 2022 年 10 月



目 录

目 录	I
1 PCI 介绍	1
1.1 主要特性	1
1.2 典型应用	1
1.3 支持器件	1
1.4 资源利用与时序	1
1.5 基本结构	2
2 端口与参数描述	3
2.1 端口描述	3
2.2 参数描述	8
3 操作时序	10
3.1 Target 基本传输操作时序	11
3.2 Target 突发传输操作时序	15
3.3 Target transaction termination	17
3.4 Master 基本传输操作时序	20
3.5 Master 突发传输操作时序	22
4 配置空间	24
5 使用说明	25
5.1 时钟与复位	25
5.2 操作流程	25
6 定制流程	26



6.1 界面与参数介绍	26
6.2 输出文件	30
7 注意事项	30
8 版本信息	31
免责声明	31



1 PCI 介绍

PCI，外设组件互联标准，广泛用于主板与各种外设的互联，比如显卡，声卡，网卡等。PCI32 IP 提供多个配置项来增加 IP 的灵活性，以便用户快速建立基于 FPGA 的 PCI 通信系统

1.1 主要特性

- 完全符合 33MHz，32 位 PCI3.0 协议，支持 master 和 target 功能
- 支持的 master 功能包括：
 - 总线事务：configuration read、configuration write、memory read、memory write、memory read multiple、memory read line、interrupt acknowledge、special cycles、I/O read、I/O write
- 支持的 target 功能包括：
 - Type0 型配置空间
 - 拥有三个可配置的 BAR 空间，范围是 4-2G（Byte）
 - 中等解码速度
 - 奇偶校验的产生与错误检测
 - 总线事务：configuration read、configuration write、memory read、memory write、memory read multiple、memory read line、interrupt acknowledge、I/O read、I/O write
 - 支持 target abort、target retry、target disconnect

1.2 典型应用

- 网络、工控以及通信系统中的嵌入式应用
- PCI add-in boards 应用，例如网卡、显卡、声卡等
- 需要 PCI 接口的任何应用场景

1.3 支持器件

PCI32 IP 支持全系列器件

1.4 资源利用与时序

如表 1-1 所示，为 TD 版本 5.6.1，IP 在开启三个 BAR、且大小都为 1KB 时的资源利用情况：

表 1-1 资源利用

LUT	REG	IOB
523	393	51

由于 IP 固定工作在 33MHz 的情况下，所以就不再讨论时序。

1.5 基本结构

如图 1-1 所示，为 PCI32 IP 的基本结构，包含以下几个部分：

- **PCI I/O Interface:** 该模块处理物理连接上的 PCI 总线信号，例如输出三态控制，master 下的 request-grant 握手过程处理等
- **Parity Generator/Checker:** 该模块用于对地址/数据信号、命令/字节使能信号进行奇偶校验，并进行检测，数据奇偶校验情况会通过 PERR_IO 信号表示，地址奇偶校验情况会通过 SERR_IO 信号表示
- **Master State Machine:** 该模块控制着 IP 的 master 功能
- **Target State Machine:** 该模块控制着 IP 的 target 功能
- **PCI Configuration Space:** 该模块提供 64 字节的 type0 型、符合 PCI3.0 协议的配置空间头，包含了设备 ID 信息、BAR 空间属性、命令与状态信息、中断等寄存器，用于支持上层驱动软件的配置与初始化
- **User Application Interface:** 用户侧控制模块，作为 IP 与用户设计通信的桥梁

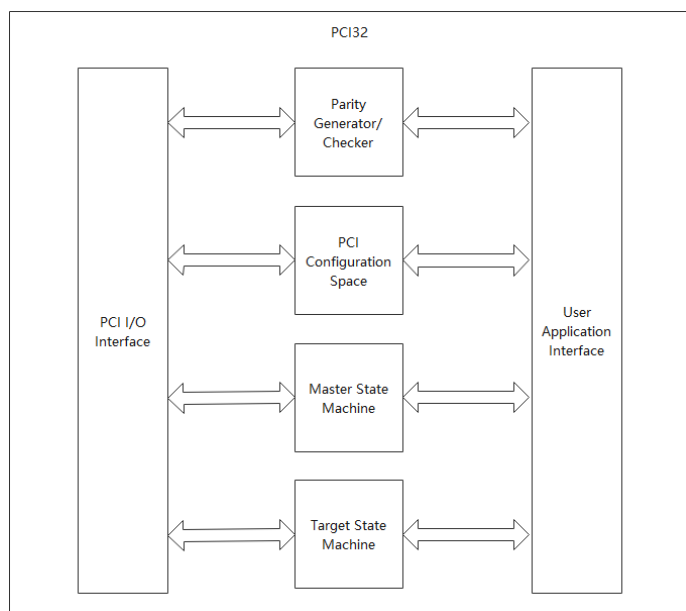


图 1-1 PCI32 IP 基本结构



2 端口与参数描述

2.1 端口描述

PCI32 IP 端口主要分两个部分：协议侧和用户侧。协议侧的端口全是 PCI 协议要求的信号，而用户侧为 IP 自定义的用户接口。如表 2-1 所示，为协议侧的端口介绍：

表 2-1 协议侧端口介绍

信号名称	类型	描述
地址和数据路径		
AD_I0[31:0]	inout	地址和数据复用信号
CBE_I0[3:0]	inout	命令和字节使能复用信号
PAR_I0	inout	AD_I0[31:0]，CBE_I0[3:0] 奇偶校验信号
传输控制		
FARME_I0	inout	低电平有效。该信号有效表明一次总线传输的开始
DEVSEL_I0	inout	低电平有效。该信号有效表明 target 已经成功解码地址
TRDY_I0	inout	低电平有效。该信号有效表明 target 已经可以开始数据传输
IRDY_I0	inout	低电平有效。该信号有效表明 master 已经可以开始数据传输
STOP_I0	inout	低电平有效。该信号有效表明 target 要求终止当前传输
IDSEL_I	in	该信号有效表明当前为配置传输周期
中断和电源管理		
INT_0	out	中断信号
PME_0	out	电源管理信号
错误信号		
PERR_I0	inout	低电平有效。该信号有效表明出现数据奇偶校验错误
SERR_I0	out	低电平有效。该信号有效表明在地址周期便出现了奇偶校验错误
仲裁		
REQ_0	out	低电平有效。该信号有效表明 IP 作为 master 申请访问总线
GNT_I	in	低电平有效。该信号有效表明 IP 作为 master 获得总线使用权限
系统信号		



RST_N	in	低电平有效。复位信号
CLK_I	in	PCI 时钟信号

如表 2-2 所示，为用户侧端口介绍，这部分端口用于 IP 与用户设计之间通信。

表 2-2 用户侧端口介绍

信号名称	类型	描述
控制信号		
US_FRAME_N	out	寄存后的 FRAME_I/O 信号
US_DEVSEL_N	out	寄存后的 DEVSEL_I/O 信号
US_IRDY_N	out	寄存后的 IRDY_I/O 信号
US_TRDY_N	out	寄存后的 TRDY_I/O 信号
US_STOP_N	out	寄存后的 STOP_I/O 信号
地址和数据		
US_ADDR[31:0]	out	地址信号，仅表示地址
US_ADIN[31:0]	in	地址和数据复用信号。用于从用户侧向 IP 发送信息
US_ADOUT[31:0]	out	地址和数据复用信号。用于 IP 向用户侧发送信息
Target 控制		
US_ADDR_VLD	out	该信号有效时表示当前为地址周期。该信号有效时，说明 US_ADOUT 表示地址，之后，地址信息便会锁存在 US_ADDR 中
US_CON_VLD	out	该信号有效时表示当前为配置周期
US_T_DATA_VLD	out	当 IP 为 target 时，该信号表明传输数据有效。如果 IP 作为 master，那么可以忽略该信号的变化
US_T_SRC_EN	out	该信号有效表明当前在进行 target 突发读传输
US_T_WRDN	out	该信号指示着 target 传输方向，当进行写传输时该信号为高电平；当进行读传输时该信号为低电平
US_CMD[15:0]	out	该信号指示 PCI 命令： US_CMD[15]:Memory Write and Invalidate US_CMD[14]:Memory Read Line US_CMD[13]:Dual Address Cycle US_CMD[12]:Memory Read Multiple US_CMD[11]:Config Write US_CMD[10]:Config Read US_CMD[9:8]:Reserved US_CMD[7]:Memory Write US_CMD[6]:Memory Read US_CMD[5:4]:Reserved US_CMD[3]:I/O Write



		US_CMD[2]: I/O Read US_CMD[1]: Special Cycle US_CMD[0]: Int Ack
US_T_CBE[3:0]	out	在 target 传输中表示总线命令或字节使能
US_BAR_HIT[7:0]	out	指示哪个基地址被成功解码并匹配: US_BAR_HIT [7:3]: Reserved US_BAR_HIT [2:0]: BR2, BR1, BR0
US_CON_HIT	out	表示当前配置周期有效
US_CON_READY	in	该信号有效时表明用户侧可以进行配置传输
US_CON_TERM	in	该信号有效时表明用户侧终止配置传输
US_T_READY	in	该信号有效时表明用户侧可以进行 target 传输
US_T_TERM	in	该信号有效时表明用户侧终止 target 传输
US_T_ABORT	in	该信号有效时表示当前传输出现严重错误, 要求终止传输
Master 控制		
US_REQUEST	in	该信号有效时, 表明用户想让 IP 扮演 master 角色
US_REQUESTHOLD	in	该信号有效时, 表明用户想强制进行一次扩展总线请求
US_M_CBE[3:0]	in	在 master 传输中表示总线命令和字节使能
US_M_WRDN	in	该信号指示 master 传输的方向: 写传输时为高; 读传输时为低
US_COMPLETE	in	该信号有效表明用户命令 master 完成当前传输
US_M_READY	in	该信号有效表明用户可以进行 master 传输
US_M_DATA_VLD	out	当 IP 作为 master 时, 该信号表明传输数据有效。如果 IP 作为 target , 那么可以忽略该信号的变化
US_M_SRC_EN	out	该信号有效表明当前在进行 master 突发写传输
US_CFG_SELF	in	当 IP 作为 master 时, 该信号有效时表明运行 PCI 自行进行配置传输
US_TIME_OUT	out	该信号有效, 表示内部的计时器已经失效, 用户在一次传输上花费的时钟周期已经超出了系统配置工具所允许的范围
Master 状态机		
US_MSTATE_IDLE	out	该信号有效表明 master 处于初始状态
US_MSTATE_DRBUS	out	该信号有效表明总线处于暂停状态
US_MSTATE_ADDR_N	out	低电平有效。该信号有效表明 master 处于地址周期状态
US_MSTATE_DATA	out	该信号有效表明 master 处于数据周期状态
Target 状态机		
US_TSTATE_IDLE	out	该信号有效表明 target 处于初始状态



US_TSTATE_BUSY	out	该信号有效表明 target 处于忙碌状态。在该状态，设备开始传输数据，等待地址解码的完成
US_TSTATE_DATA	out	该信号有效表明 target 处于数据传输状态。 target 已经解码地址且地址匹配 BAR 中的一个，或者是配置周期正在进行中
US_TSTATE_BACKOFF	out	该信号有效表明用户侧 US_CON_TERM 或 US_T_TERM 信号使能， Target 等待传输完成
其它信号		
US_PERRQ_N	out	低电平有效。寄存后的 PERR_IO
US_SERRQ_N	out	低电平有效。寄存后的 SERR_IO
US_INT_N	in	低电平有效。该信号有效表示用户应用发出的一次中断请求
US_PME_N	in	低电平有效。该信号有效表示用户应用发出的一次电源管理请求
US_KEEPOUT	in	保留，常 0
US_CSR[39:0]	out	<p>US_CSR[15:0]：该信号的内容等同于 PCI 配置空间中的 command 寄存器；</p> <p>US_CSR[31:16]：该信号的内容等同于 PCI 配置空间中的 status 寄存器；</p> <p>接下来几位指示着协议中的传输情况：</p> <p>CSR[32]：Data Transfer</p> <p>CSR[33]：Transaction End</p> <p>CSR[34]：Normal Termination</p> <p>CSR[35]：Target Termination</p> <p>CSR[36]：Disconnected Without data</p> <p>CSR[37]：Disconnected With data</p> <p>CSR[38]：Target Abort</p> <p>CSR[39]：Master Abort</p>
配置信息 CFG[511:0]		
器件 ID		
CFG[15:0]	out	Vendor ID
CFG[31:16]	out	Device ID
CFG[39:32]	out	Revision ID
CFG[63:40]	out	<p>分类码：</p> <p>CFG[63:56]：base class</p> <p>CFG[55:48]：sub class</p> <p>CFG[47:40]：Interface</p>
CFG[303:288]	out	Subsystem Vendor ID



CFG[319:304]	out	Subsystem ID
BARs		
CFG[95:64]	out	<p>BAR0 大小与类型:</p> <p>CFG[95:68]表示 BAR0 的空间大小</p> <p>CFG[67]:如果是 Memory 类型空间,“1”表示可预取,如果是 I/O 空间,该位保留</p> <p>CFG[66:65]:如果是 Memory 类型空间,“00”表示 32 位地址空间;“10”表示 64 位地址空间,IP 中这两位一直是 0。如果是 I/O 空间,这些位保留</p> <p>CFG[64]:该位是 0,表示 BAR0 是 Memory 类型空间,该位是 1,表示 BAR1 是 I/O 类型空间</p>
CFG[408]	out	该位为 1 表示 BAR0 接受 64 位传输,在 IP 中该位一直为 0
CFG[127:96]	out	<p>BAR1 大小与类型:</p> <p>CFG[127:100]表示 BAR1 的空间大小</p> <p>CFG[99]:如果是 Memory 类型空间,“1”表示可预取,如果是 I/O 空间,该位保留</p> <p>CFG[98:97]:如果是 Memory 类型空间,“00”表示 32 位地址空间;“10”表示 64 位地址空间,IP 中这两位一直是 0。如果是 I/O 空间,这些位保留</p> <p>CFG[96]:该位是 0,表示 BAR1 是 Memory 类型空间,该位是 1,表示 BAR1 是 I/O 类型空间</p>
CFG[409]	out	该位为 1 表示 BAR1 接受 64 位传输,在 IP 中该位一直为 0
CFG[159:128]	out	<p>BAR2 大小与类型:</p> <p>CFG[159:132]表示 BAR2 的空间大小</p> <p>CFG[131]:如果是 Memory 类型空间,“1”表示可预取,如果是 I/O 空间,该位保留</p> <p>CFG[130:129]:如果是 Memory 类型空间,“00”表示 32 位地址空间;“10”表示 64 位地址空间,IP 中这两位一直是 0。如果是 I/O 空间,这些位保留</p> <p>CFG[128]:该位是 0,表示 BAR2 是 Memory 类型空间,该位是 1,表示 BAR2 是 I/O 类型空间</p>
CFG[410]	out	该位为 1 表示 BAR2 接受 64 位传输,在 IP 中该位一直为 0
扩展功能		
CFG[359:352]	out	Capabilities Pointer
总线仲裁		



CFG[367:360]	out	MIN_GNT: 用于指定设备需要多长时间的突发周期
CFG[375:368]	out	MAX_LAT: 用于制定每个总线事务之间的时间间隔
其他设置		
CFG[287:256]	out	Cardbus CIS Pointer
CFG[482]	out	66MHz 使能, 该位一直为 0
CFG[489]	out	该位是 1 表示 64 位, 是 0 表示 32 位, 一直为 0

2.2 参数描述

如表 2-3 所示, 为参数描述, 这些参数都可以在配置界面中进行配置, 可参考第六章, 用户不必在例化 IP 时重新指定配置参数, 以避免错误。

表 2-3 参数描述

名称	范围	默认值	作用
C_VENDOR_ID	0x0000 - 0xffff	16' h1ED8	厂商 ID
C_DEVICE_ID	0x0000 - 0xffff	16' hABCD	器件 ID
C_REVISION_ID	0x00 - 0xff	8' h00	版本 ID
C_SUBVENDOR_ID	0x0000 - 0xffff	16' h1ED8	二级厂商 ID
C_SUBDEVICE_ID	0x0000 - 0xffff	16' hABCD	二级器件 ID
C_CLASS_CODE	0x000000 - 0xffffffff	24' h010000	类别码
C_CARDBUS_CIS	0x00000000 - 0xffffffff	32' h00000000	CIS
C_MAX_LAT	0x00 - 0xff	8' h00	延迟计时器, 为 0 表示无要求。MAX_LAT 表示器件访问 PCI 总线的频率; MIN_GNT 表示器件在突发周期时所需要的时钟周期
C_MIN_GNT	0x00 - 0xff	8' h00	
C_BAR0_TYPE	0\1	0	基区 0 类型, 0 表示 memory 类型, 1 表示 I/O 类型
C_BAR0_PREFETCHABLE	0\1	0	基区 0 预取使能, 该位只有在 memory 类型的基区中有效
C_BAR0_VALUE	0x00000000 - 0xffffffff	0	基区 0 大小
C_BAR1_TYPE	0\1	0	基区 1 类型, 0 表示 memory 类型, 1 表示 I/O 类型



C_BAR1_PREFETCHABLE	0\1	0	基区 1 预取使能，该位只有在 memory 类型的基区中有效
C_BAR1_VALUE	0x00000000 - 0xffffffff	0	基区 1 大小
C_BAR2_TYPE	0\1	0	基区 2 类型，0 表示 memory 类型，1 表示 I/O 类型
C_BAR2_PREFETCHABLE	0\1	0	基区 2 预取使能，该位只有在 memory 类型的基区中有效
C_BAR2_VALUE	0x00000000 - 0xffffffff	0	基区 2 大小



3 操作时序

介绍操作时序之前，首先介绍一下 PCI32 IP 支持的 PCI 总线命令，如表 3-1 所示，Yes 表示支持，No 表示不支持，Ignore 表示协议中不存在该情况，无需关心。

表 3-1 IP 支持的命令

CBE_I0[3:0]	Command	PCI Master	PCI Target
0000	Interrupt Acknowledge	Yes	Yes
0001	Special Cycle	Yes	Ignore
0010	I/O Read	Yes	Yes
0011	I/O Write	Yes	Yes
0100	Reserved	Ignore	Ignore
0101	Reserved	Ignore	Ignore
0110	Memory Read	Yes	Yes
0111	Memory Write	Yes	Yes
1000	Reserved	Ignore	Ignore
1001	Reserved	Ignore	Ignore
1010	Configuration Read	Yes	Yes
1011	Configuration Write	Yes	Yes
1100	Memory Read Multiple	Yes	Yes
1101	Dual Address Cycle	No	Ignore
1110	Memory Read Line	Yes	Yes
1111	Memory Write Invalidate	No	Yes

下面分别介绍 target 模式和 master 模式下的操作时序。

3.1 Target 基本传输操作时序

如图 3-1 所示，为 target memory write 时序。信号含义可参考表 2-1 和表 2-2，协议侧的时序，可参考《PCI Local Bus Specification》；对于用户侧，如果无其他需求，保持“US_T_READY”信号始终为高电平，即可保证 IP 读写事务的正常运行，用户可以通过 target 状态机相关信号来知晓读写事务进行的情况，“US_ADOUT”、“US_ADDR”信号表示数据和地址，可供用户进行下一步处理。

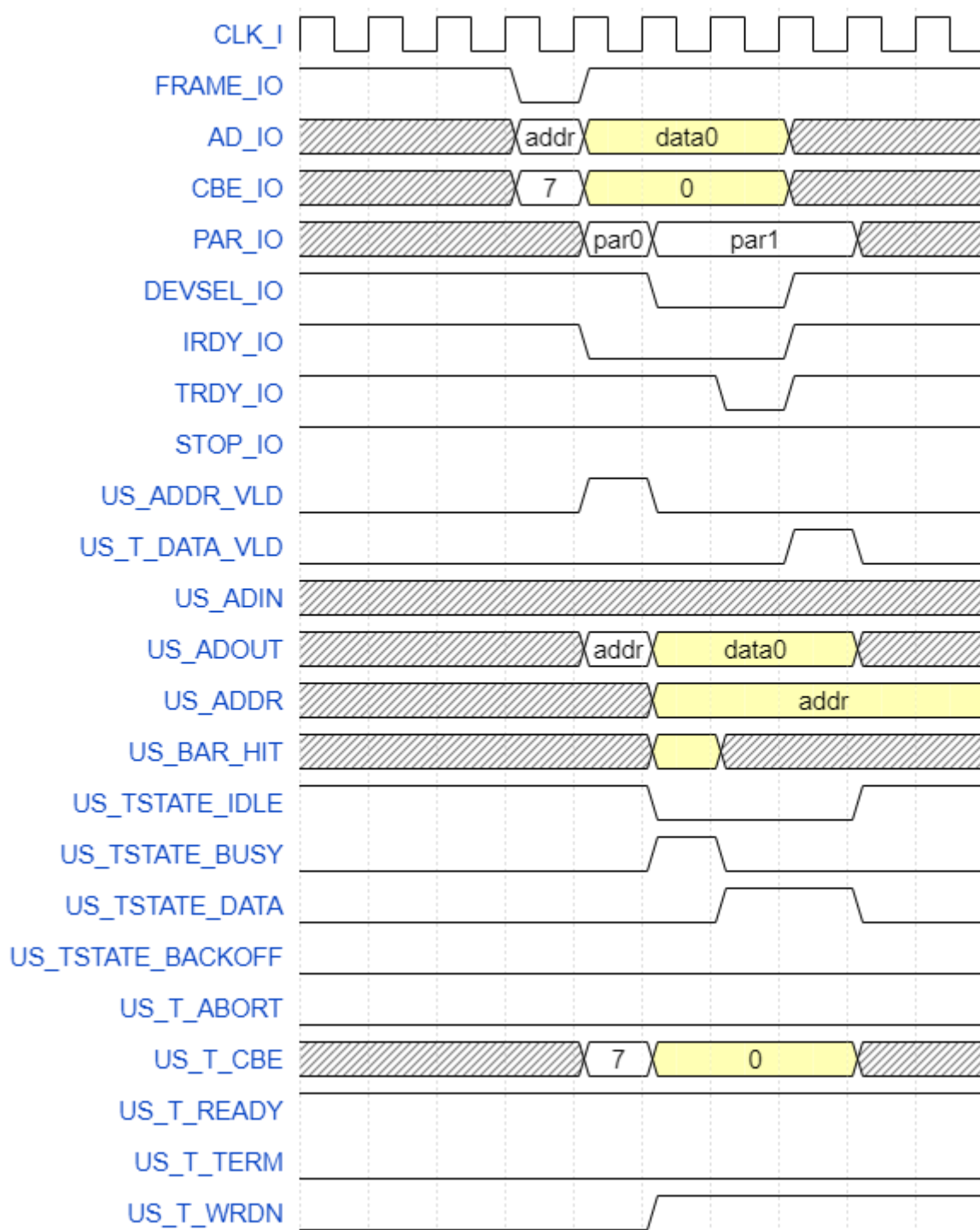


图 3-1 Target memory write 时序



如图 3-2 所示，为 target memory read 时序。与 target memory write 时序稍有不同的是，用户需要在“US_ADIN”信号上给出数据。由于 I/O write 与 I/O Read 的时序和 memory 的时序相比，除命令以外基本一致，这里便不再介绍。

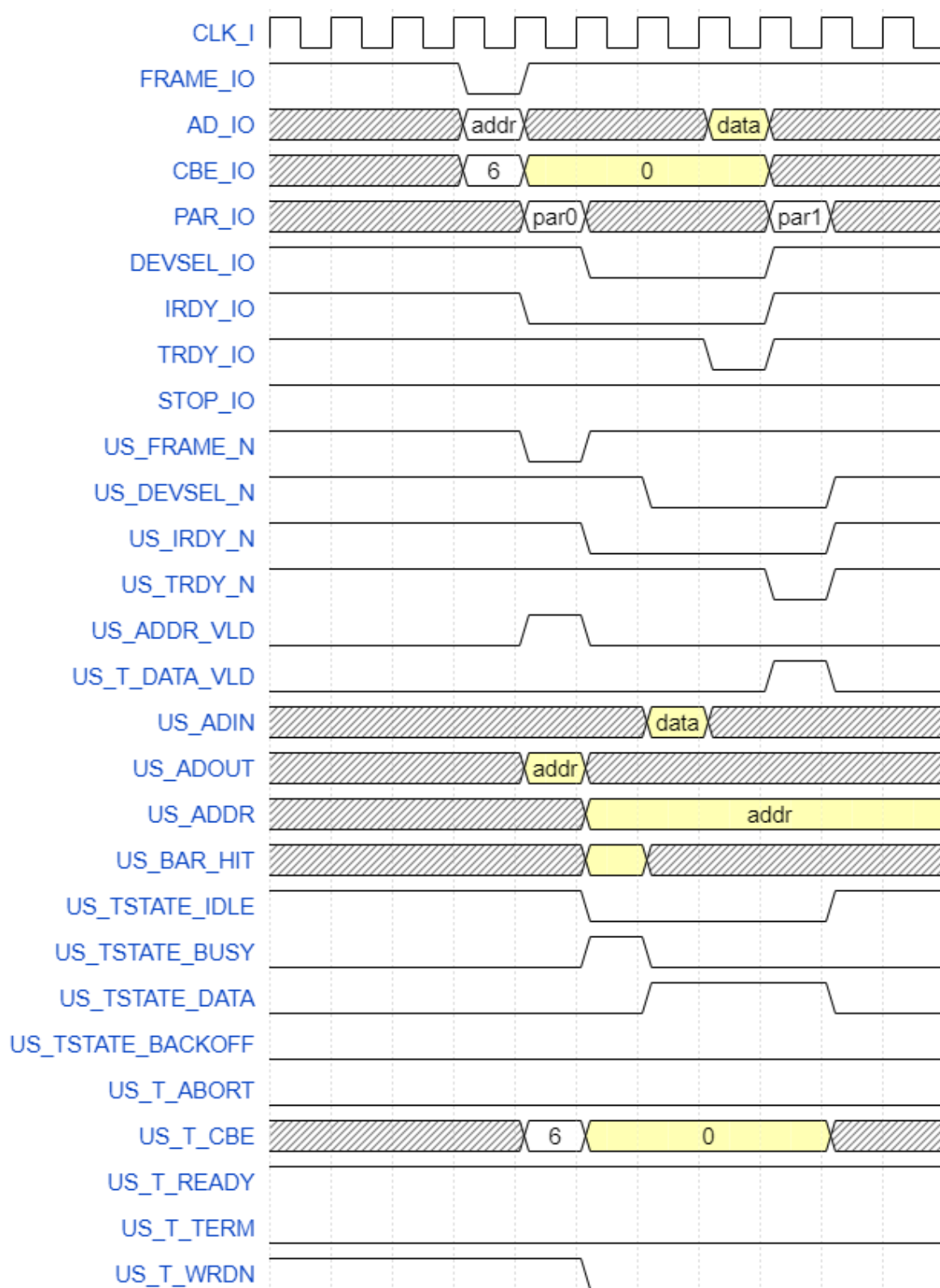


图 3-2 Target memory read 时序

如图 3-3 所示，为 target configuration write 时序，配置写事务主要是主机与 IP 之间的通信，需保持 “US_CON_READY” 信号为 1。

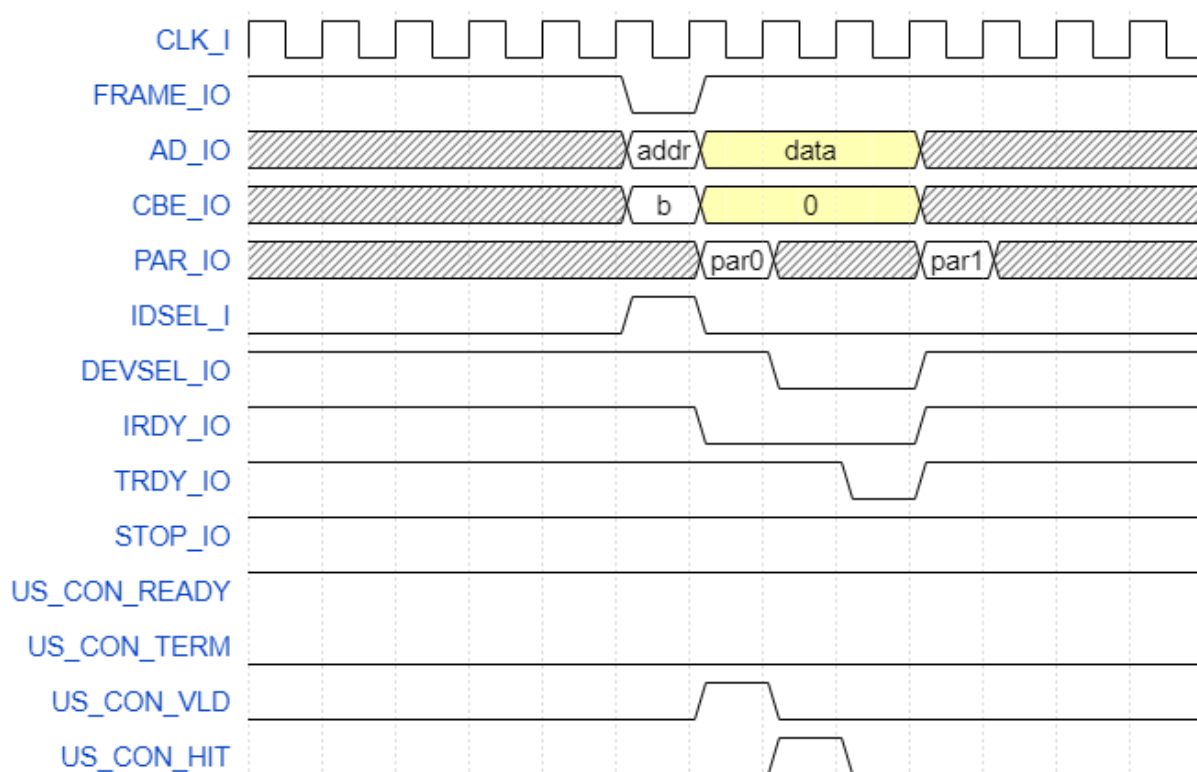


图 3-3 Target Configuration Write 时序

如图 3-3 所示，为 target configuration read 时序，配置读事务主要是主机与 IP 之间的通信，需保持 “US_CON_READY” 信号为 1。

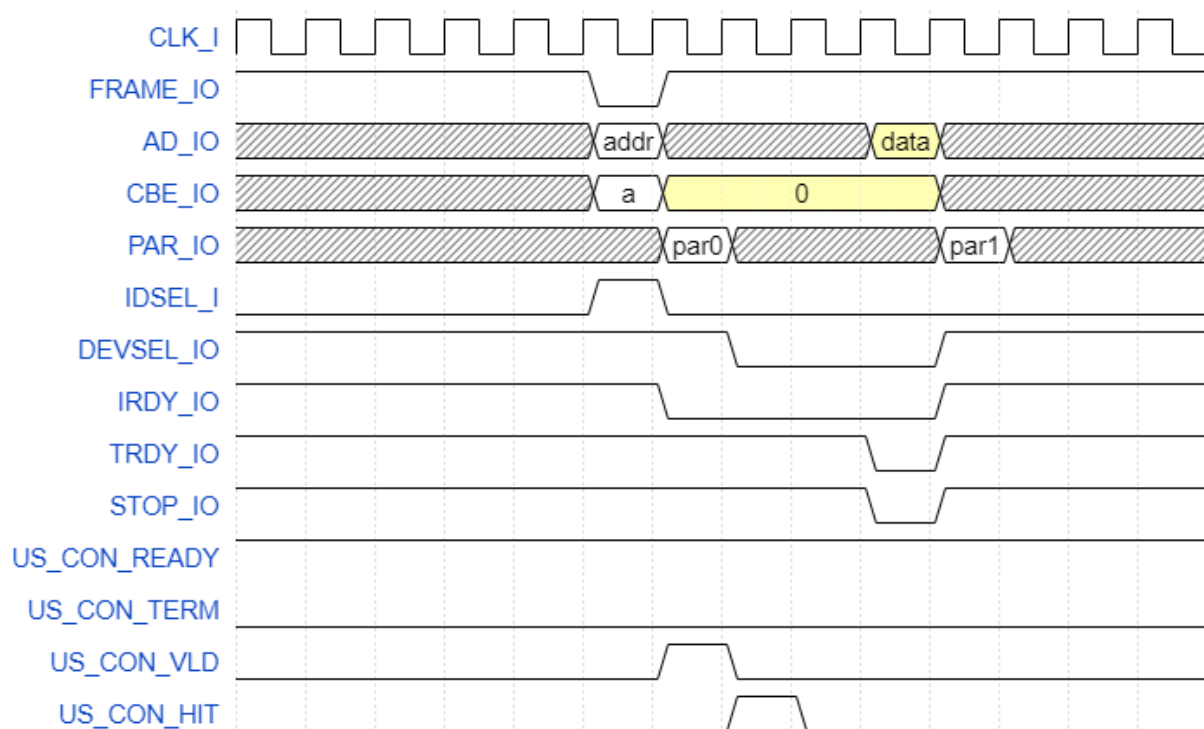


图 3-4 Target configuration read 时序

3.2 Target 突发传输操作时序

突发读写是指一次读写事务有多个数据进行传输，如图 3-5 所示，为 target burst write 时序。

对于用户侧，可以使用“US_T_DATA_VLD”来指示地址指针的递增，从而正确存储 US_ADOUT 上的数据。

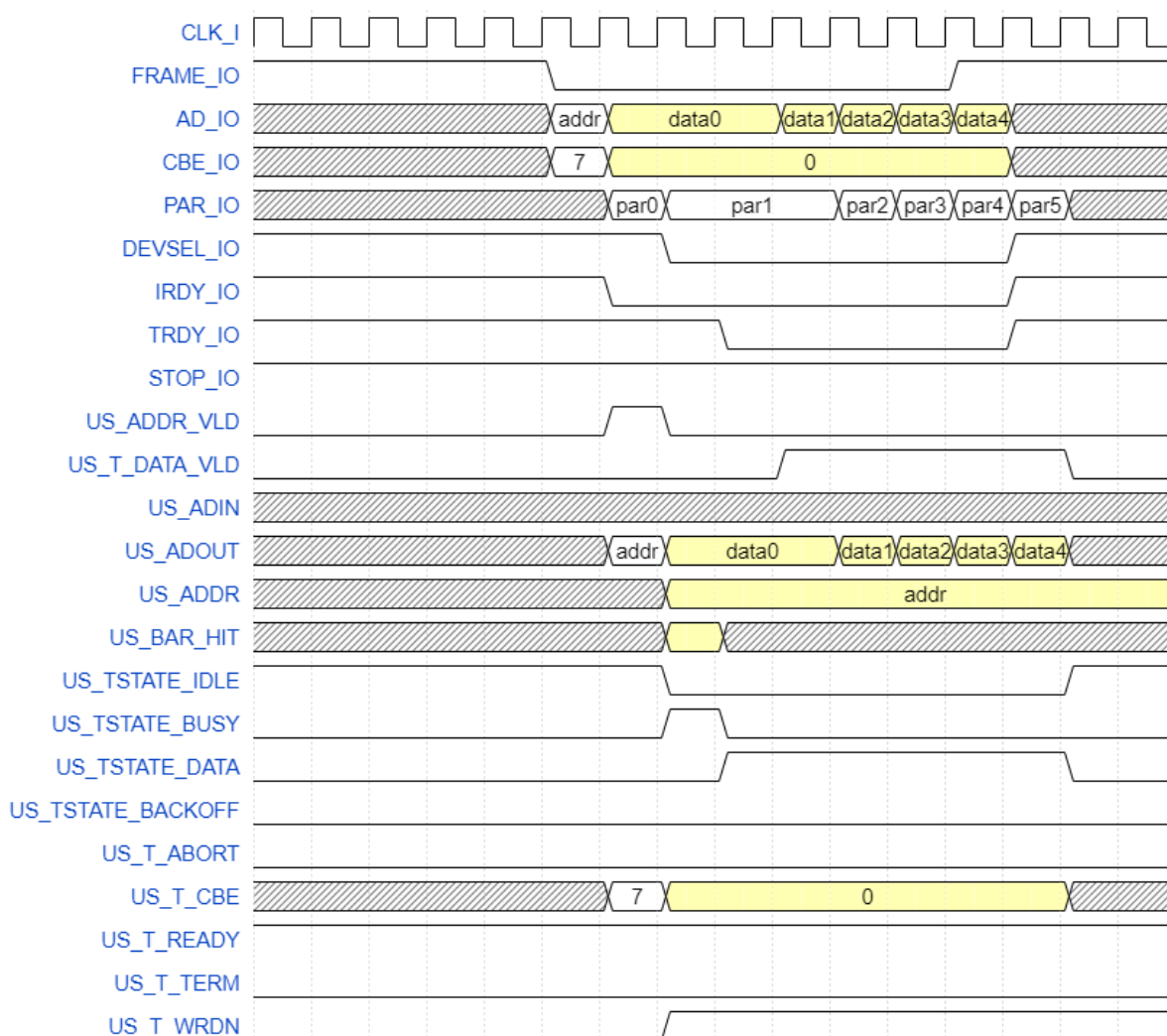


图 3-5 Target burst write 时序

如图 3-6 所示，为 target burst read 时序，对于用户侧，可以根据“US_T_SRC_EN”信号来指示地址指针的递增，从而将数据正确的通过“US_ADIN”信号来传递到 PCI 总线上

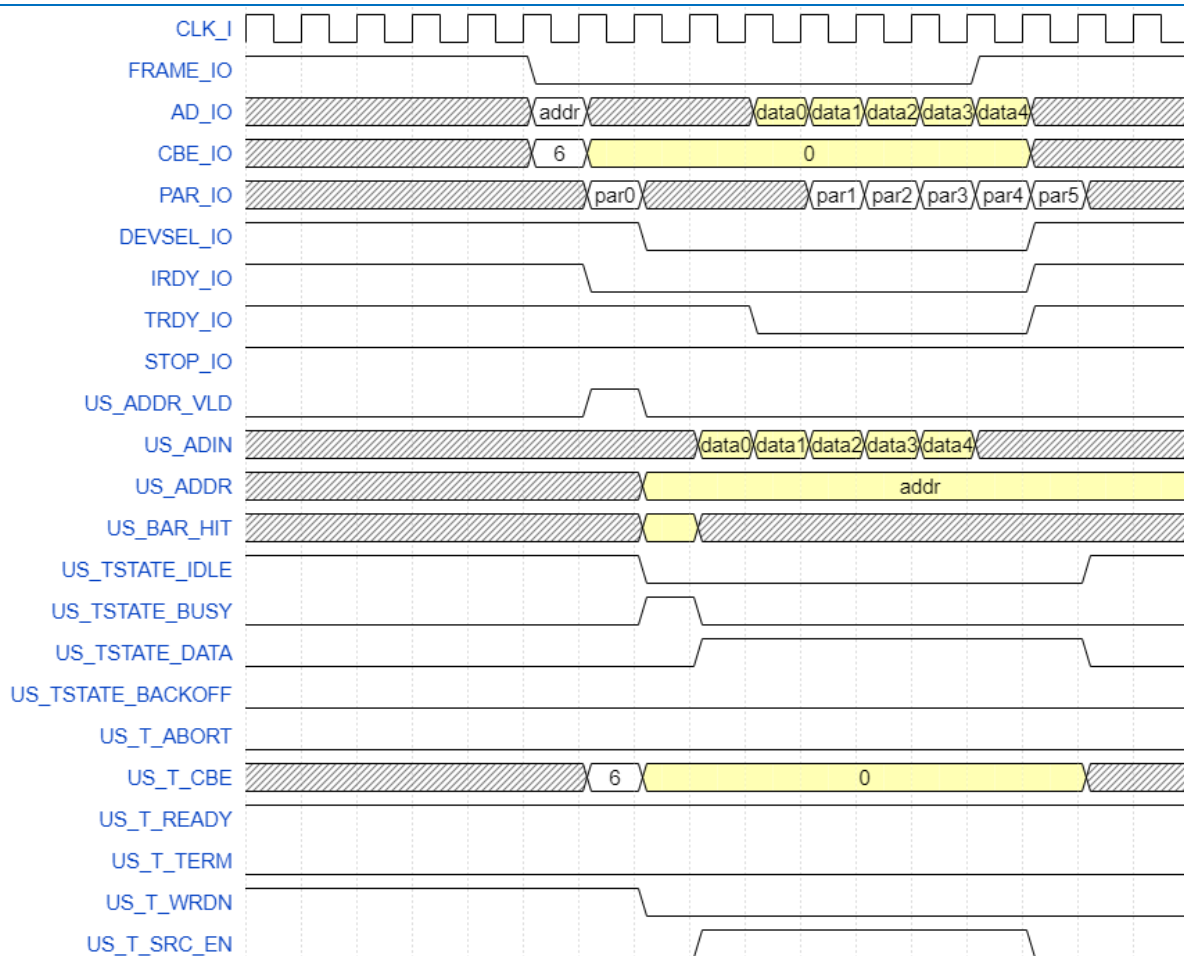


图 3-6 Target burst read 时序

3.3 Target transaction termination

在 PCI 传输事务中，存在 transaction termination，由 master 或 target 发起，表示一方目前不能完整的完成此次传输事务，termination 分为三种：disconnect with data、disconnect without data (retry)、abort.

Disconnect with data 表示当前数据为传输的最后一个数据，target 不再进行之后的数据传输。表现为“TRDY_IO”信号有效的同时“STOP_IO”信号也同时有效，以 Target 基本传输为例，如图 3-7 所示，为 disconnect with data 时序，用户侧可通过同时拉高“US_T_READY”信号和“US_T_STOP”来使用该功能。

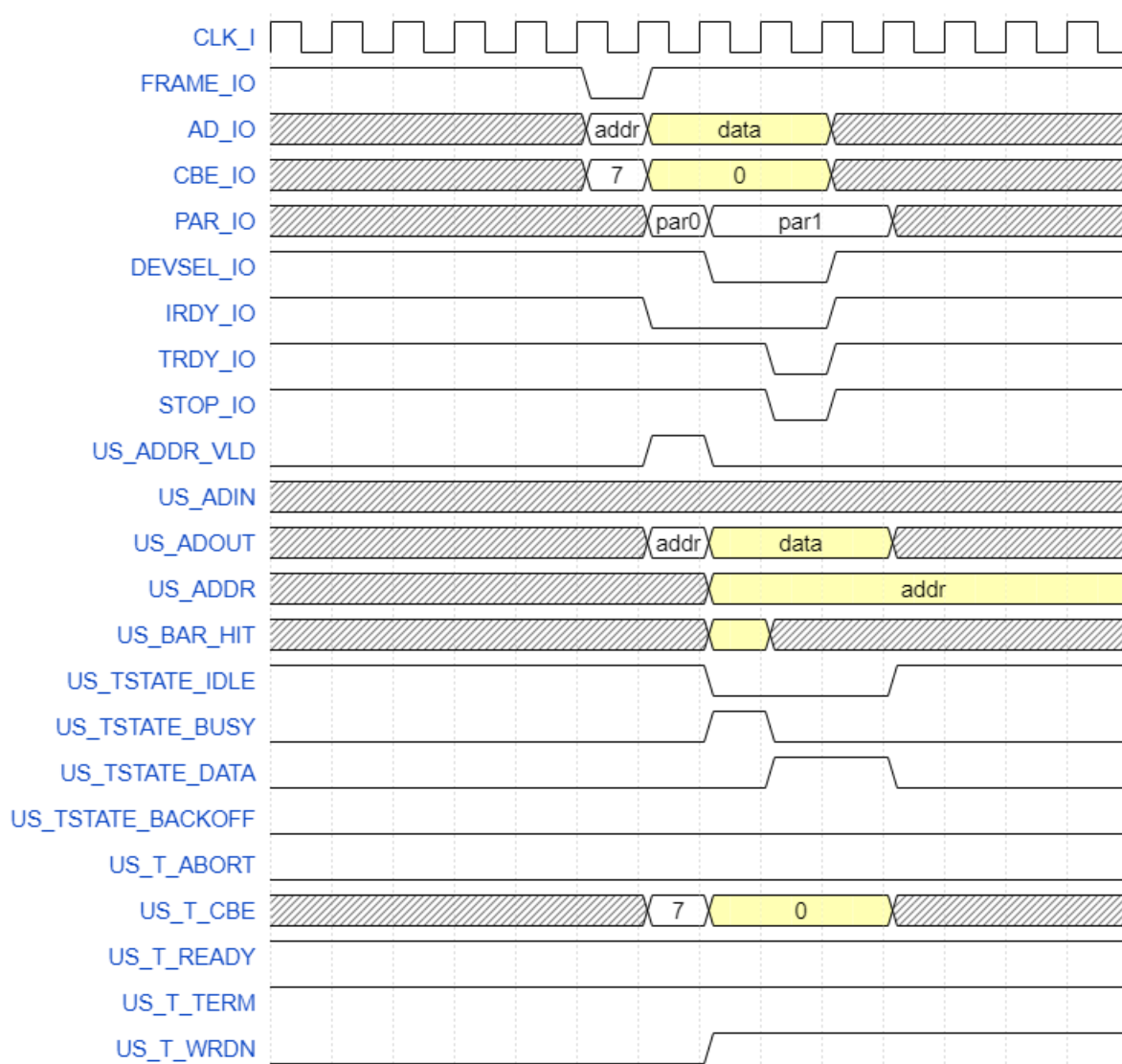


图 3-7 Disconnect with data

Disconnect without data 表示终止当前传输,且当前周期无有效数据传输,具体表现为“TRDY_IO”信号无效且“STOP_IO”信号有效,如果在传输的第一个数据周期就出现该现象,那么又称此时为“retry”,以 target 基本传输为例,如图 3-8 所示,为 Disconnect without data 时序:

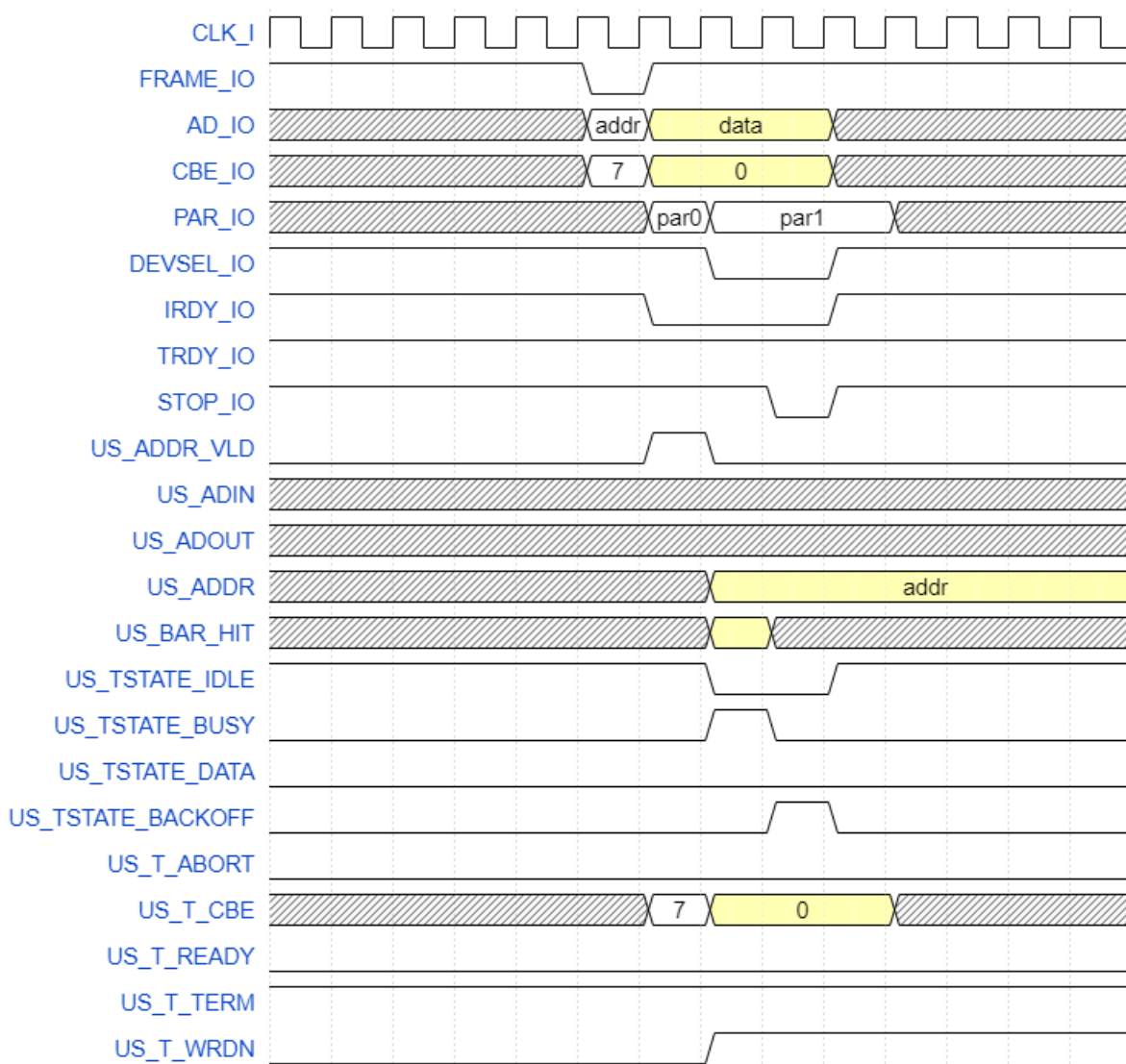


图 3-8 Disconnect without data

如图 3-9 所示，为 **abort** 时序。发生这种情形时表明 **target** 侦测到了重大错误，以至于无法完成此次传输事务。用户侧可以通过使能“**US_T_ABORT**”信号来使用该功能，此时 **PCI** 总线上会出现“**STOP_IO**”信号有效而“**DEVSEL_IO**”信号无效的现象，此次事务无有效数据传输。

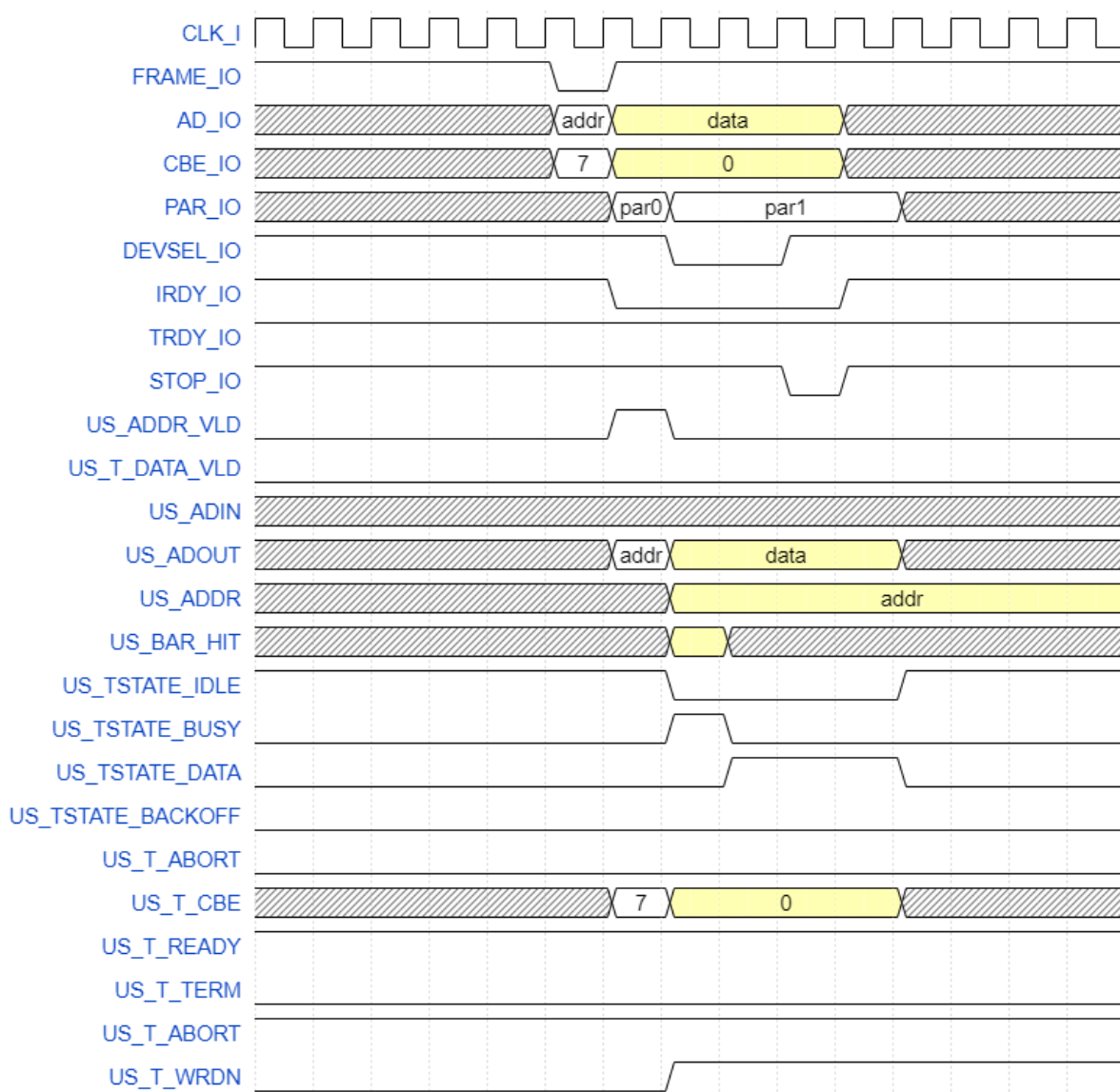


图 3-9 Abort

3.4 Master 基本传输操作时序

用户可以通过操作 IP 中一些与 master 有关的信号，来让 IP 充当 master 的角色。如图 3-10，为 master memory write 时序。由于是 IP 作为发起者，向总线上发送数据，所以这里的写事务所需的地址与数据要从用户侧取得，所以“US_ADIN”信号上会出现地址与数据；在传输之前使能“US_REQUEST”信号，让 IP 作为 master 参与总线传输；之后可以使能“US_COMPLETE”信号，来表示此次传输可以完成。

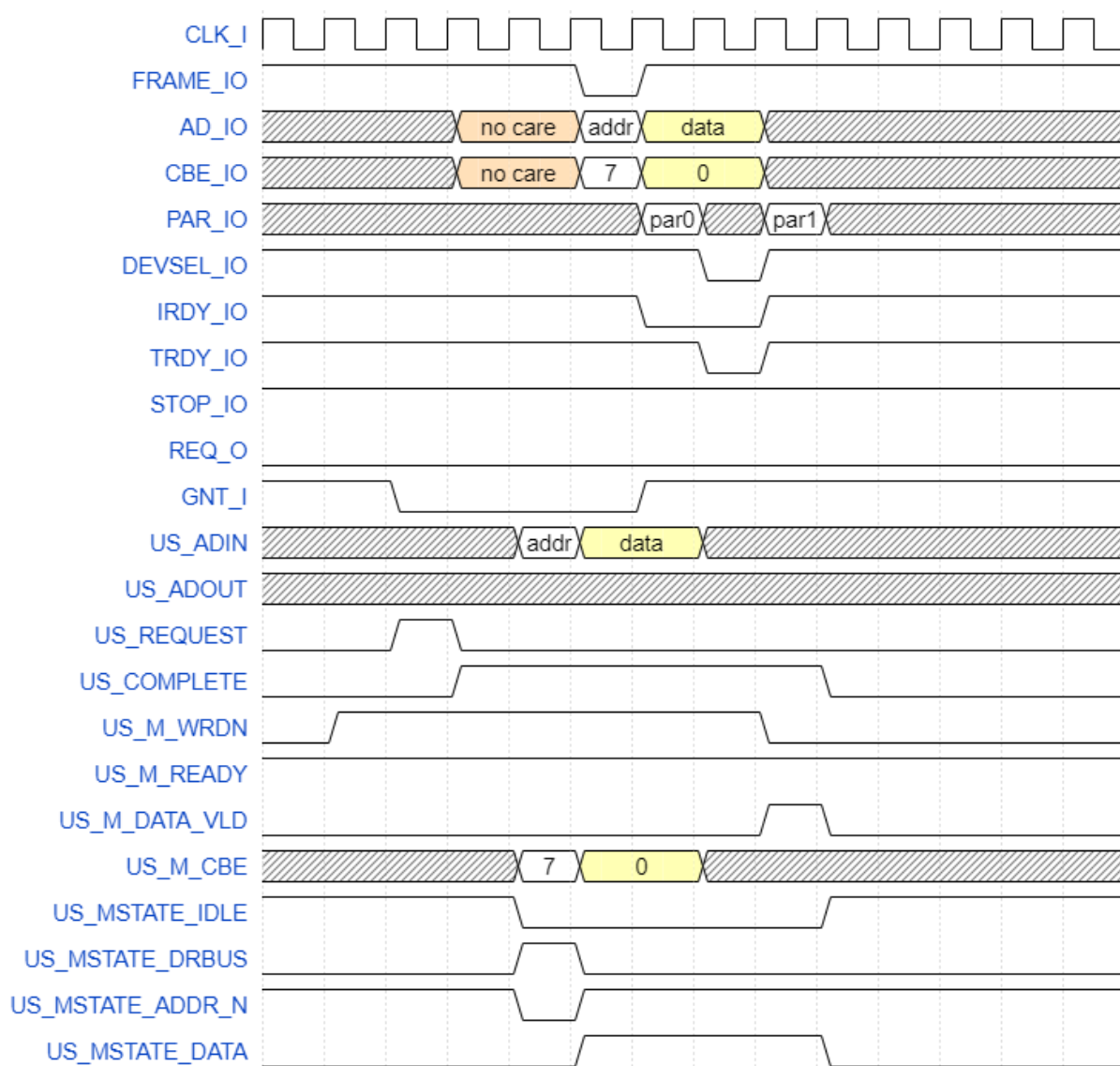


图 3-10 Master memory write

如图 3-11，为 master memory read 时序。由于是 IP 作为 master 从 PCI 总线上读取数据，所以最后数据会在“US_ADOUT”信号上出现。由此可知，“US_ADOUT”与“US_ADIN”这两个信号，在 target 读写事务与 master 读写事务中对应的读写关系相反。由于 I/O 的读写事务从时序上看几乎和 memory 读写一致，只是命令有所不同，这里便不再介绍。

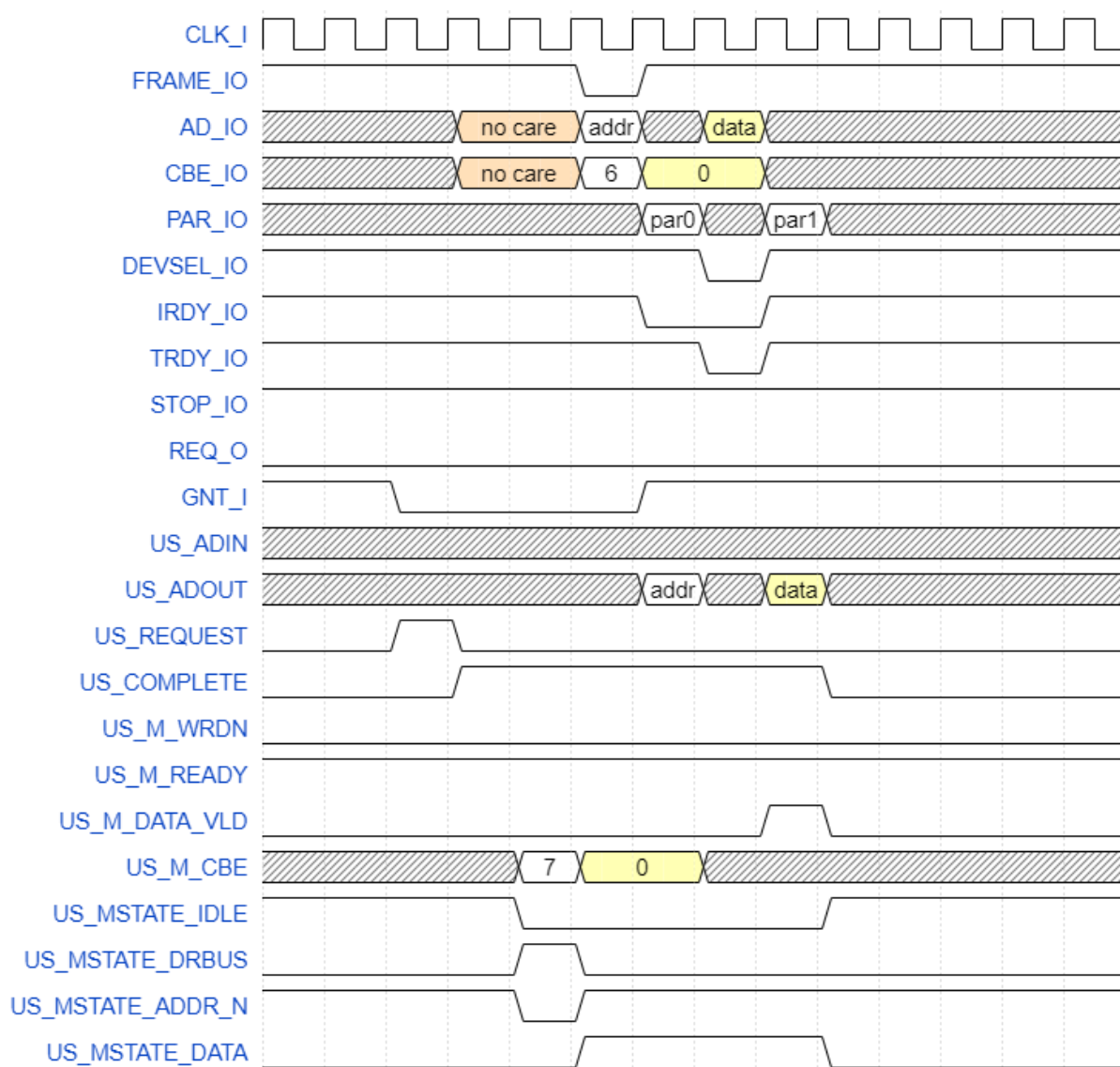


图 3-11 Master memory read

3.5 Master 突发传输操作时序

如图 3-12. 为 master burst write 时序。IP 作为 master，在一次写传输事务中发送多个数据，与基本传输相比，“US_COMPLETE” 信号不能在传输起初就拉高，否则传输就变成了基础传输，该信号可以在数据传输过程中根据需要择机拉高，用来控制一次突发传输的数据量。

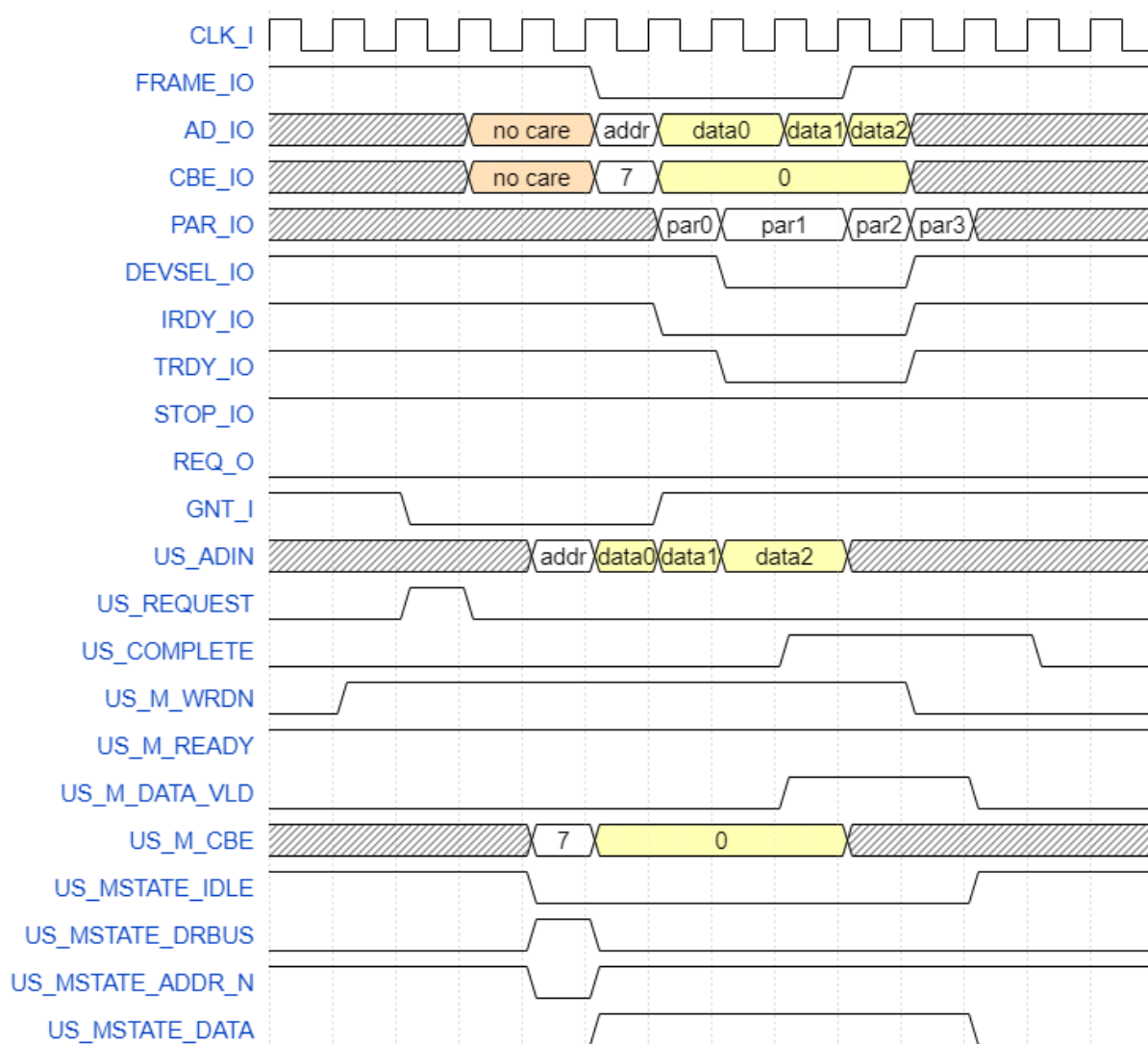


图 3-12 Master burst write

如图 3-13，为 Master burst read 时序。IP 作为 master，在一次传输事务中从 PCI 总线上读取多个数据。由于突发传输的 I/O 的读写事务从时序上看几乎和 memory 读写一致，只是命令有所不同，这里便不再介绍。

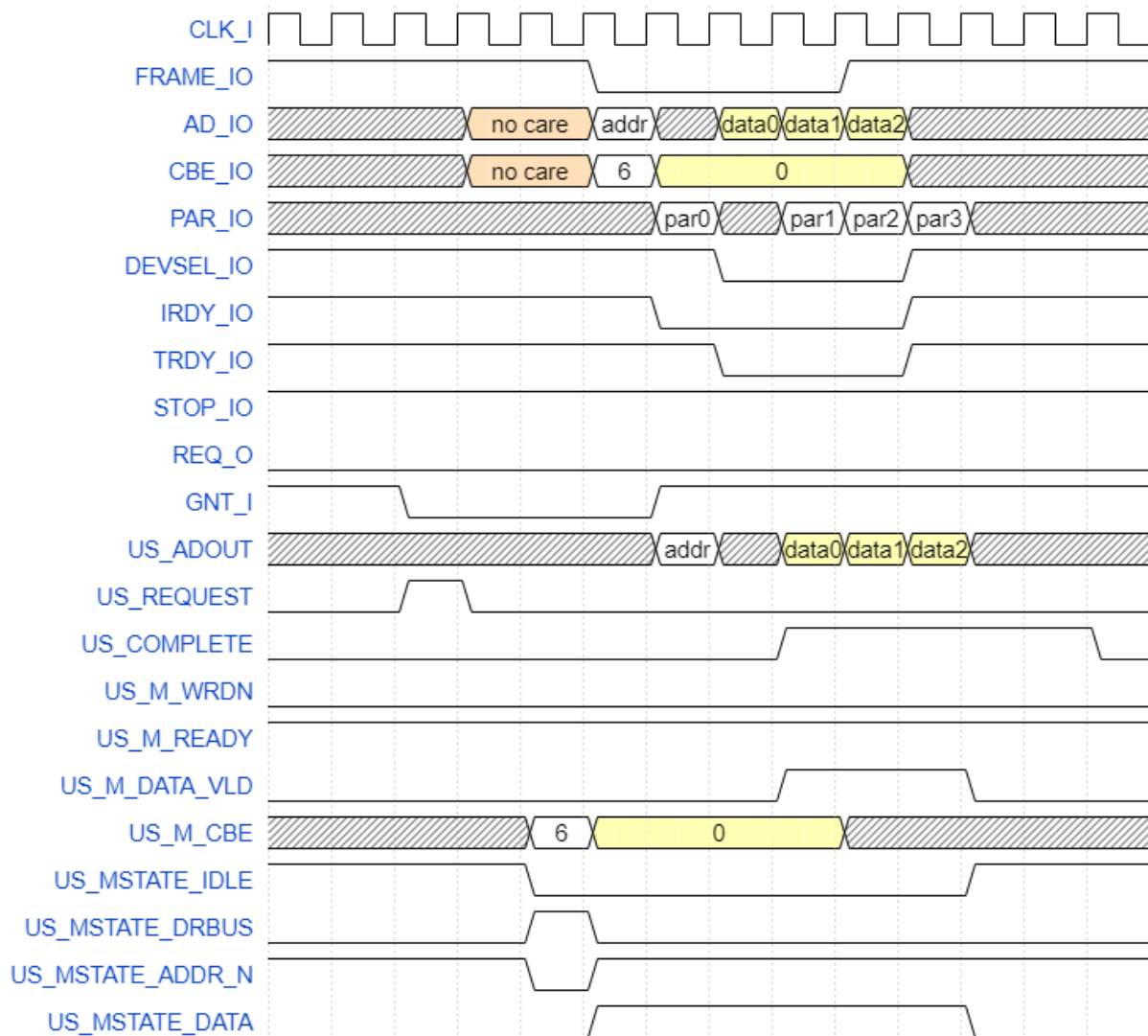


图 3-13 Master burst read 时序



4 配置空间

如表 4-1 所示，为 IP 所支持的配置空间，其中灰色底纹部分表示不支持的功能或保留位，内容为全 0。关于 PCI 配置空间的具体内容，可参考《PCI Local Bus Specification》第六节“Configuration Space”。

表 4-1 PCI 配置空间

Address[31:24]	Address[23:16]	Address[15:8]	Address[7:0]	地址 Address
Device ID		Vendor ID		0x00
Status		Command		0x04
Class Code			Rev ID	0x08
BIST	Header Type	Latency Timer	Cache Line Size	0x0C
Base Address Register 0 (BAR0)				0x10
Base Address Register 1 (BAR1)				0x14
Base Address Register 2 (BAR2)				0x18
Base Address Register 3 (BAR3)				0x1C
Base Address Register 4 (BAR4)				0x20
Base Address Register 5 (BAR5)				0x24
Cardbus CIS Pointer				0x28
Subsystem ID		Subsystem Vendor ID		0x2C
Expansion ROM Base Address				0x30
Reserved			CapPtr	0x34
Reserved				0x38
Max Lat	Min Gnt	Interrupt Pin	Interrupt Line	0x3C

5 使用说明

5.1 时钟与复位

PCI32 IP 的时钟固定工作在 33MHz，在实际应用中，时钟与复位信号都来自 PCI 主机。

5.2 操作流程

PCI 设备与主机之间的通信流程大致可分为识别、配置、通信几个步骤：识别过程表示主机寻找到了 PCI 设备；配置过程表示主机上的 PCI 驱动程序在对 PCI 设备的配置空间进行访问与一些必要的设置，此阶段 PCI 配置空间有些内容需要额外注意：

- 如图 5-1 所示，为 PCI 配置空间 0x04 地址 Command 字段，其中第“0”和“1”位对后续的通信流程有决定性作用：第“0”位“I/O Space”开启，表示允许进行 PCI I/O 类的读写事务传输，否则无法进行；第“1”位“Memory”开启，表示允许进行 PCI Memory 类的读写事务传输，否则无法进行；此外如果想让 IP 充当 Master 的角色，则要确保第“2”位“Bus Master”开启

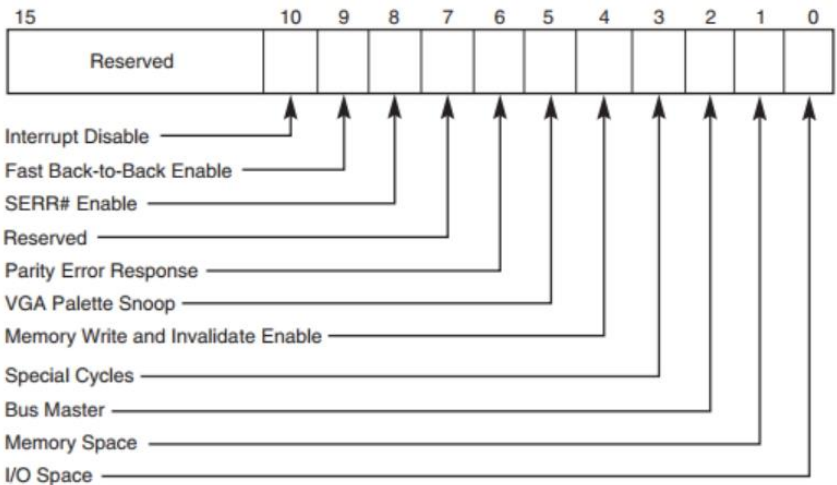


图 5-1 PCI 配置空间 0x04 地址 Command 字段

配置结束之后便可以通过上层驱动软件访问挂载在 PCI BAR 空间中的设备了，需要注意的是在主机上的 PCI 驱动程序配置完 BAR（Base Address Register）空间后，后续的 memory 或 I/O 读写事务所访问的地址要符合 BAR 所被分配的地址空间。

6 定制流程

6.1 界面与参数介绍

如图 6-1、6-2 所示，为 IP 配置界面，Page0 主要是对 PCI 配置空间中一些只读的、器件 ID 类的属性进行配置，具体介绍可见表 6-1；Page1 主要是对 PCI 配置空间中的 BAR 部分进行配置，具体介绍可见表 6-2。

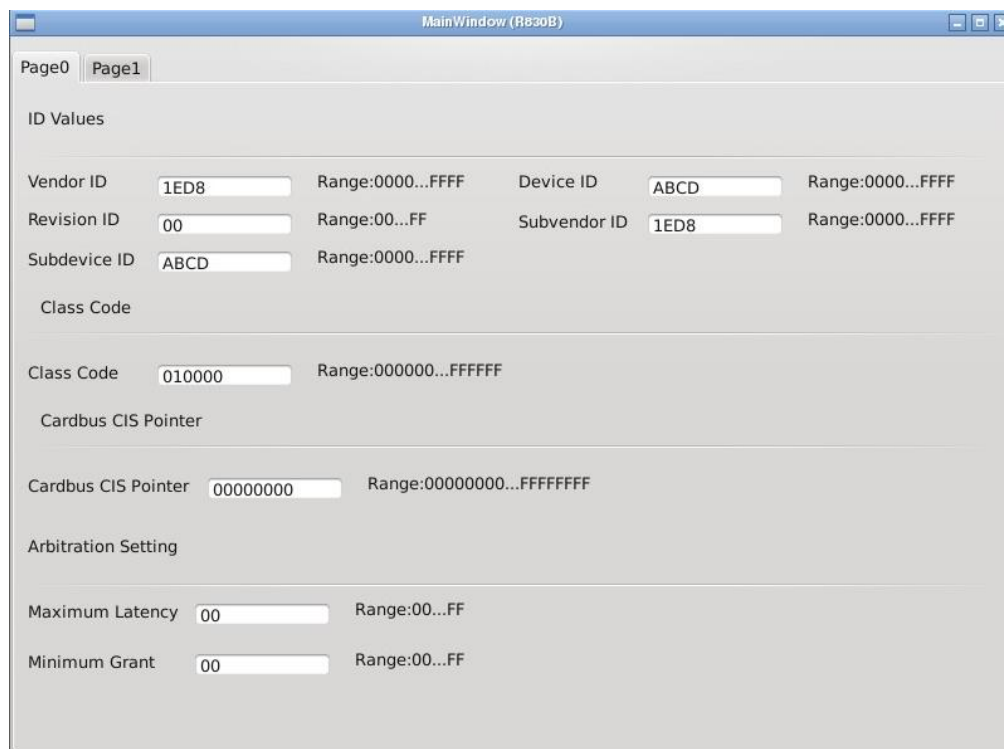


图 6-1 IP 配置界面 Page0



Page0 Page1

BAR0 Options

TypeI/OPrefetchable

☐ BAR0 Size16Bytes

ValueFFFFFFF1

BAR1 Options

TypeI/OPrefetchable

☐ BAR1 Size4Bytes

ValueFFFFFFF1

BAR2 Options

TypeI/OPrefetchable

☐ BAR2 Size4Bytes

ValueFFFFFFF1

图 6-2 IP 配置界面 Page1

表 6-1 IP 配置界面 Page0 参数介绍

选项组	范围	默认	说明
ID Values			
Vendor ID	0x0000...0xFFFF	0x1ED8	厂商 ID，对应 PCI 配置空间地址 0x00 的第[15:0]位。安路的厂商 ID 固定为“0x1ED8”。
Device ID	0x0000...0xFFFF	0xABCD	器件 ID，对应 PCI 配置空间地址 0x00 的第[31:16]位。
Revision ID	0x00...0xFF	0x00	版本 ID，对应 PCI 配置空间地址 0x08 的第[7:0]位。
Subvendor ID	0x0000...0xFFFF	0x1ED8	子系统厂商 ID，对应 PCI 配置空间地址 0x2C 的第[15:0]位。
Subdevice ID	0x0000...0xFFFF	0xABCD	子系统器件 ID，对应 PCI 配置空间地址 0x2C 的第[31:16]位。
Class Code	0x000...0xFFF	0x010000	类别码，子系统厂商 ID，对应 PCI 配置空间地址 0x08 的第[31:8]位。
Cardbus CIS Pointer	0x00000000...0xFFFFFFFF	0x00000000	Cardbus CIS Pointer，对应 PCI 配置空间地址 0x28 的第



			[31:0]位。
Maximum Latency	0x00...0xFF	0x00	Maximum Latency, 对应 PCI 配置空间地址 0x3C 的第[31:24]位。
Minimum Grant	0x00...0xFF	0x00	Minimum Grant, 对应 PCI 配置空间地址 0x3C 的第[23:16]位。

表 6-2 IP 配置界面 Page1 参数介绍

选项组	可选内容	默认	描述
BAR0 Options			
BAR0	选/不选	不选	开启该选项, 表明启用 BAR0
Type	I/O 和 Memory	I/O	BAR0 类型选择
Prefetchable	选/不选	不选	BAR0 预取, 只有类型为 Memory 时该选项可选
Size	4, 8, 16, 32, 64, 128, 256, 512, 1K, 2K, 4K, 8K, 16K, 32K, 64K, 128K, 256K, 512K, 1M, 2M, 4M, 8M, 16M, 32M, 64M, 128M, 256M, 512M, 1G, 2G	4	BAR0 大小选择, 如果 BAR0 类型为 Memory, 那么“4”和“8”两个选项不可选。
Value		FFFFFFFF	此处值为自动生成, 与 BAR0 其余配置有关
BAR1 Options			
BAR1	选/不选	不选	开启该选项, 表明启用 BAR1
Type	I/O 和 Memory	I/O	BAR1 类型选择
Prefetchable	选/不选	不选	BAR1 预取, 只有类型为 Memory 时该选项可选
Size	4, 8, 16, 32, 64, 128, 256, 512, 1K, 2K, 4K, 8K, 16K, 32K, 64K, 128K, 256K, 512K, 1M, 2M, 4M, 8M, 16M, 32M, 64M, 128M, 256M, 512M, 1G, 2G	4	BAR1 大小选择, 如果 BAR1 类型为 Memory, 那么“4”和“8”两个选项不可选。
Value		FFFFFFFF	此处值为自动生成, 与 BAR1 其余配置有关



BAR2 Options			
BAR2	选/不选	不选	开启该选项，表明启用 BAR2
Type	I/O 和 Memory	I/O	BAR2 类型选择
Prefetchable	选/不选	不选	BAR2 预取，只有类型为 Memory 时该选项可选
Size	4, 8, 16, 32, 64, 128, 256, 512, 1K, 2K, 4K, 8K, 16K, 32K, 64K, 128K, 256K, 512K, 1M, 2M, 4M, 8M, 16M, 32M, 64M, 128M, 256M, 512M, 1G, 2G	4	BAR2 大小选择，如果 BAR2 类型为 Memory，那么“4”和“8”两个选项不可选。
Value		FFFFFFFF	此处值为自动生成，与 BAR2 其余配置有关

6.2 输出文件

PCI32 IP 生成的文件如表 6-3 所示：

表 6-3 PCI32 IP 生成的文件

文件名	说明
<username>_gate.v	此文件为 IP Generator 产生的 PCI32 IP 网表文件，<username>为用户输入的文件名

7 注意事项

以 EAGLE 系列器件为例，EAGLE I/O 可以工作在 1.8-3.3V 电压范围，不能直接接收 5V 输入。如果 5V 电压信号驱动到 Eagle 器件的输入，需要外部串接电阻，同时在软件中打开 Eagle I/O 内部的 PCI 箝位二极管把输入端口接收到的电压降到器件安全范围内。如图 7-1 所示，为 PCI Clamp 所在位置：

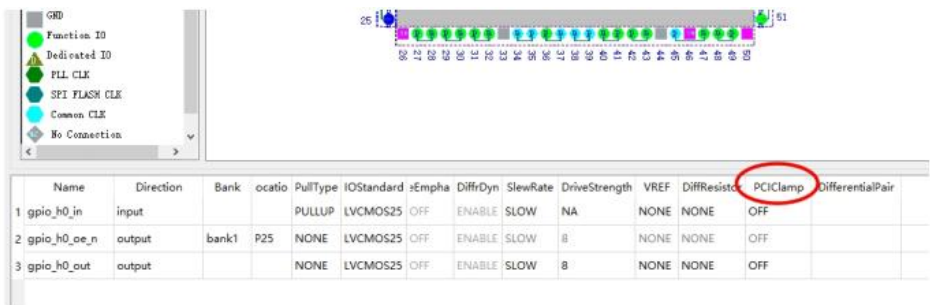


图 7-1 PCI Clamp 功能

对于 EAGLE 系列器件，详情可参考数据手册 DS300，对于其他器件相关问题，还请参考相关器件数据手册。



8 版本信息

日期	版本	修订记录
2022/8/25	1.0	首次发布中文版
2022/10/11	1.1	增加第七章内容，修改 IP 框图

版权所有©2022 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除安路科技在其产品的销售条款和条件中声明的责任之外，安路科技概不承担任何法律或非法律责任。安路科技对安路科技产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。安路科技对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，安路科技保留修改文档中任何内容的权利，恕不另行通知。安路科技不承诺对这些文档进行适时的更新。